

日本国特許庁  
JAPAN PATENT OFFICE

Koh et al  
Filed 9/24/03  
Q76865  
10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月 6日  
Date of Application:

出願番号 特願2002-355416  
Application Number:

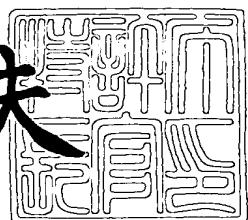
[ST. 10/C] : [JP2002-355416]

出願人 日本電気株式会社  
Applicant(s):

2003年 7月28日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3059683

【書類名】 特許願

【整理番号】 34002290

【特記事項】 特許法第30条第1項の規定の適用を受けようとする特許出願

【提出日】 平成14年12月 6日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/786  
H01L 29/78

【発明者】

【住所又は居所】 東京都港区芝五丁目 7番1号 日本電気株式会社内

【氏名】 黄 俐昭

【発明者】

【住所又は居所】 東京都港区芝五丁目 7番1号 日本電気株式会社内

【氏名】 山上 滋春

【発明者】

【住所又は居所】 東京都港区芝五丁目 7番1号 日本電気株式会社内

【氏名】 李 ジョンウー

【発明者】

【住所又は居所】 東京都港区芝五丁目 7番1号 日本電気株式会社内

【氏名】 若林 整

【発明者】

【住所又は居所】 東京都港区芝五丁目 7番1号 日本電気株式会社内

【氏名】 斎藤 幸重

【発明者】

【住所又は居所】 東京都港区芝五丁目 7番1号 日本電気株式会社内

【氏名】 小椋 厚志

【発明者】

【住所又は居所】 東京都港区芝五丁目 7番1号 日本電気株式会社内

【氏名】 成廣 充

**【発明者】**

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 新井 浩一

**【発明者】**

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 武村 久

**【発明者】**

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 最上 徹

**【発明者】**

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 山本 豊二

**【発明者】**

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 落合 幸徳

**【特許出願人】**

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

**【代理人】**

【識別番号】 100088328

**【弁理士】**

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

**【選任した代理人】**

【識別番号】 100106297

**【弁理士】**

【氏名又は名称】 伊藤 克博

## 【選任した代理人】

【識別番号】 100106138

## 【弁理士】

【氏名又は名称】 石橋 政幸

## 【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 絶縁体上に半導体層が設けられ、前記半導体層と、前記半導体層の上部に設けられたゲート絶縁膜と、前記ゲート絶縁膜上にパターニングされた導電性材料よりなるゲート電極と、前記ゲート電極の両側に前記半導体層に第1導電型不純物が高濃度に導入されたソース／ドレイン領域とからなる電界効果型トランジスタと、前記半導体層に第2導電型不純物が高濃度に導入されたボディコンタクト領域と、前記ゲート電極の延長部と前記半導体層の間にゲート絶縁膜よりも厚いフィールド絶縁膜が介在し、前記半導体層中に第2導電型の不純物が導入された部分分離領域と、前記絶縁体上に前記半導体層が存在しない完全分離領域からなり、前記完全分離領域は電界効果型トランジスタのソース／ドレイン領域のゲート電極方向に平行な側面の少なくとも一部の領域に接して設けられることを特徴とする半導体装置。

【請求項 2】 前記ゲート電極は、フィールド絶縁膜と予め定めた許容範囲内で同じ高さを持つ第1の領域と、前記第1の領域の上に位置しキャリア経路上部に延長される第2の領域とからなることを特徴とする請求項1に記載の半導体装置。

【請求項 3】 前記ゲート電極の前記第1の領域と第2の領域は、異なる工程において堆積された材料よりなることを特徴とする請求項2に記載の半導体装置。

【請求項 4】 前記ゲート電極の前記第1の領域と第2の領域は、異なる材料よりなることを特徴とする請求項2または請求項3に記載の半導体装置。

【請求項 5】 前記部分分離領域のうち、電界効果型トランジスタが設けられる素子領域に接する一部の領域の不純物濃度が、部分分離領域の他の領域の不純物濃度に比べて低いことを特徴とする請求項1から4のいずれか1項に記載の半導体装置。

【請求項 6】 前記部分分離領域のうち、電界効果型トランジスタが設けられる素子領域に接する一部の領域の不純物濃度が、部分分離領域の他の領域に比

べて低く、電界効果型トランジスタが設けられる素子領域の不純物濃度と同一であることを特徴とする請求項 1 から請求項 4 のいずれか 1 項に記載の半導体装置。

**【請求項 7】** 前記部分分離領域のうち、電界効果型トランジスタが設けられる素子領域に接する一部の領域の不純物濃度が、部分分離領域の他の領域に比べて低く、電界効果型トランジスタが設けられる素子領域の不純物濃度と同一であることを特徴とする請求項 1 から請求項 4 のいずれか 1 項に記載の半導体装置。

**【請求項 8】** 前記完全分離領域は電界効果型トランジスタのソース／ドレイン領域のゲート電極方向に平行な側面の全て領域に接して設けられることを特徴とする請求項 1 から請求項 4 のいずれか 1 項に記載の半導体装置。

**【請求項 9】** 前記完全分離領域は電界効果型トランジスタのソース／ドレイン領域のゲート電極方向に平行な側面の全ての領域と、ソース／ドレイン領域のゲート電極方向に垂直な側面の一部の領域に接して設けられることを特徴とする請求項 1 から請求項 4 のいずれか 1 項に記載の半導体装置。

**【請求項 10】** 隣接する電界トランジスタの間に完全分離領域だけが設けられた領域が存在することを特徴とする請求項 1 から請求項 4 のいずれか 1 項に記載の半導体装置。

**【請求項 11】** 前記完全分離領域は電界効果型トランジスタのソース／ドレイン領域のゲート電極方向に平行な側面の一部の領域と、ソース／ドレイン領域のゲート電極方向に垂直な側面のうち一方の側面の全部の領域に接して設けられることを特徴とする請求項 1 から請求項 4 のいずれか 1 項に記載の半導体装置。

**【請求項 12】** 複数の電界効果型トランジスタが、完全分離領域で囲まれた 1 つのブロックの中に設けられることを特徴とする請求項 1 から請求項 11 のいずれか 1 項に記載の半導体装置。

**【請求項 13】** p チャネルトランジスタと n チャネルトランジスタが、完全分離領域で囲まれたそれぞれ異なるブロックの中に設けられることを特徴とする請求項 1 から請求項 11 のいずれか 1 項に記載の半導体装置。

**【請求項 14】** *p* チャネルトランジスタと *n* チャネルトランジスタが、完全分離領域で囲まれたそれぞれ異なるブロックの中にそれぞれ複数設けられることを特徴とする請求項 1 から請求項 13 に記載の半導体装置。

**【請求項 15】** 複数のトランジスタが含まれるブロックを規定する完全分離領域の一部が、ソース・ドレイン領域の側面に接して設けられる請求項 1 から請求項 11 に記載の半導体装置。

**【請求項 16】** 単一のトランジスタよりなるブロックを規定する完全分離領域の一部が、ソース・ドレイン領域の側面に接して設けられる請求項 1 から請求項 11 に記載の半導体装置。

**【請求項 17】** 絶縁体上の半導体層上において素子領域及びボディコンタクト領域を覆う領域に、最上層が CMP に対して耐性を有する上層マスク層、第 2 層が導電性材料もしくは不純物の導入により導電性を持たせることができる材料、より成る CMP マスクを形成する工程と、 CMP マスクで覆われていない領域のうち少なくとも一部にソース／ドレイン領域導入される不純物とは異なる導電型の不純物を導入する工程と、 CMP マスクに接する一部の領域において前記絶縁体上の半導体層を除去して完全分離領域を形成する工程と、前記 CMP マスクの材料とは異なる第 2 の絶縁体で全体を覆い、続いて CMP により第 2 の絶縁体を平坦化する工程と、 CMP により第 2 の絶縁体を平坦化した後に、前記 CMP マスクのうち最上層を除去し、導電性材料もしくは不純物の導入により導電性を持たせることができる材料よりなるゲート上層導電体を堆積する工程と、ボディコンタクト領域の全てと素子領域のうち一部においてゲート上層導電体及び CMP マスクの第 2 層を除去し、残留したゲート上層導電体と前記 CMP マスクの第 2 層よりなる電界効果型トランジスタのゲート電極を形成し、前記ゲート電極の両側の半導体層にソース／ドレイン領域を形成することにより電界効果型トランジスタを形成する工程を有し、前記完全分離領域は電界効果型トランジスタのソース／ドレイン領域が設けられる領域のうち、ゲート電極が設けられる方向に平行な側面の少なくとも一部の領域に接して設けられることを特徴とする請求項 1 から請求項 16 のいずれか 1 項に記載の半導体装置の製造方法。

**【請求項 18】** 前記 CMP マスクに接する一部の領域において前記絶縁体

上の半導体層を除去して完全分離領域を形成する工程よりも後に、前記CMPマスクの材料とは異なる第2の絶縁体で全体を覆い、続いてCMPにより第2の絶縁体を平坦化する工程を実施する請求項17に記載の半導体装置の製造方法。

**【請求項19】** 前記CMPマスクの材料とは異なる第2の絶縁体で全体を覆い、続いてCMPにより第2の絶縁体を平坦化する工程を実施した後に、前記CMPマスクに接する一部の領域において前記絶縁体上の半導体層を除去して完全分離領域を形成する請求項17に記載の半導体装置の製造方法。

**【請求項20】** 絶縁体上の半導体層上において素子領域及びボディコンタクト領域を覆う領域に、最上層がCMPに対して耐性を有する上層マスク層、第2層が導電性材料もしくは不純物の導入により導電性を持たせることができる材料、より成るCMPマスクを形成する工程と、CMPマスクで覆われていない領域のうち少なくとも一部にソース／ドレイン領域導入される不純物とは異なる導電型の不純物を導入する工程と、前記CMPマスクの材料とは異なる第2の絶縁体で全体を覆い、続いてCMPにより第2の絶縁体を平坦化する工程と、CMPにより第2の絶縁体を平坦化した後に、前記CMPマスクのうち最上層を除去し、導電性材料もしくは不純物の導入により導電性を持たせることができる材料よりなるゲート上層導電体を堆積する工程と、ボディコンタクト領域の全てと素子領域のうち一部においてゲート上層導電体及びCMPマスクの第2層を除去し、残留したゲート上層導電体と前記CMPマスクの第2層よりなる電界効果型トランジスタのゲート電極を形成し、前記ゲート電極の両側の半導体層にソース／ドレイン領域を形成することにより電界効果型トランジスタを形成する工程と、電界効果型トランジスタを層間絶縁膜で覆い、層間絶縁膜を平坦化したのち、ソース・ドレイン領域に接する少なくとも一部の部分の前記半導体層を除去して完全分離領域を形成する工程を有し、前記完全分離領域は電界効果型トランジスタのソース／ドレイン領域が設けられる領域のうち、ゲート電極が設けられる方向に平行な側面の少なくとも一部の領域に接して設けられることを特徴とする請求項1から請求項16のいずれか1項に記載の半導体装置の製造方法。

**【請求項21】** 前記CMPマスクの材料は、最上層がSi<sub>3</sub>N<sub>4</sub>膜よりなる多層膜により形成されることを特徴とする請求項17から請求項20のいずれか

1項に記載の半導体装置の製造方法。

**【請求項22】** 前記CMPマスクの材料は、最上層がSiO<sub>2</sub>膜、その下部に位置する第二層がSi<sub>3</sub>N<sub>4</sub>膜よりなる多層膜により形成されることを特徴とする特徴とする請求項17から請求項20のいずれか1項に記載の半導体装置の製造方法。

**【請求項23】** 前記CMPマスクの材料は、最上層がSi<sub>3</sub>N<sub>4</sub>膜、その下部に位置する第二層がポリシリコン膜より形成されることを特徴とする特徴とする請求項17から請求項20のいずれか1項に記載の半導体装置の製造方法。

**【請求項24】** 前記CMPマスクの材料は、最上層がSi<sub>3</sub>N<sub>4</sub>膜、その下部に位置する第二層がSiO<sub>2</sub>膜、その下部に位置する第三層がポリシリコン膜より形成されることを特徴とする特徴とする請求項17から請求項20のいずれか1項に記載の半導体装置の製造方法。

**【請求項25】** 素子領域及びボディコンタクト領域以外を覆う前記CMPマスクを形成した後、前記CMPマスクに覆われていない領域、すなわち素子分離領域の半導体層へ、第2導電型の不純物を導入することを特徴とする請求項17から請求項24のいずれか1項に記載の半導体装置の製造方法。

**【請求項26】** 前記CMPマスクの第2層、及び前記ゲート上層材料がともにポリシリコンであることを特徴とする請求項17から請求項24のいずれか1項に記載の半導体装置の製造方法。

**【請求項27】** ゲート電極上層材料は、導電性材料もしくは不純物の導入により導電性を持たせることができる材料による多層構造であることを特徴とする請求項17から請求項24のいずれか1項に記載の半導体装置の製造方法。

**【請求項28】** 前記CMPマスクの第2層がポリシリコン、前記ゲート上層材料が金属であることを特徴とする請求項17から請求項24のいずれか1項に記載の半導体装置の製造方法。

**【請求項29】** 前記CMPマスクを形成したのち、前記CMPマスクに側壁を設け、前記CMPマスクと前記CMPマスクの側壁のいずれにも覆われていない領域のうち少なくとも一部にソース／ドレイン領域導入される不純物とは異なる導電型の不純物を導入することを特徴とする請求項17から請求項28のいず

れか1項に記載の半導体装置の製造方法。

### 【発明の詳細な説明】

#### 【0001】

##### 【発明の属する技術分野】

本発明は、半導体装置および、その製造法に関し、特に、SOI（シリコン・オン・インシュレータ）基板上に設けられた半導体装置および、その製造方法に関する。

#### 【0002】

##### 【従来の技術】

図26に特開平4-34980号公報に記載された従来の技術を示す。

#### 【0003】

図26(a)は平面図で、図26(b)は断面図である。

#### 【0004】

シリコン基板101上に、絶縁体層102を介してシリコン層103が設けられたSOI基板を用いて、ゲート絶縁膜104、ゲート電極105、チャネル領域108、ソース領域109、ドレイン領域110よりなるトランジスタを形成する。トランジスタの周辺の素子分離領域では、シリコン層103上に、分離用絶縁膜106が形成される。分離用絶縁膜の下部には、チャネル領域108と同じ導電型の不純物が導入された、ウェル領域111が設けられる。また、分離用絶縁膜6の一部を開口することによりボディコンタクト107を設け、ここを介してウェル領域111とボディ用配線層が連結される。この構造は、トランジスタのチャネル部で発生した余剰キャリアを、ウェル領域111を経由して、ボディコンタクト107から排出できるという特徴を持つ。

#### 【0005】

図27にアイ・イー・イー・イー、エレクトロンデバイスレター、18巻、102頁(IEEE, Electron Device Letter, Vol. 18, p. 102)に記載された従来の技術を示す。シリコン基板130上に、絶縁体層121を介してシリコン層122が設けられたSOI基板を用いて、ゲート絶縁膜126、ゲート電極125、ソース領域124、ドレイン領域123

よりなるトランジスタを形成する。トランジスタの周辺の素子分離領域では、シリコン層を熱酸化することによりLOCOS領域129が形成されるが、LOCOS（ローカルオキサイデーション・オブ・シリコン）領域の下には、薄いシリコン層が残され、これがキャリア経路127となる。また、キャリア経路はボディコンタクト128領域に接続される。この構造は、トランジスタのチャネル部で発生した余剰キャリアを、キャリア経路127を経由して、ボディコンタクト領域128から排出できるという特徴を持つ。また、同様の構造が、1996年ブイエルエスアイ・シンポジウム・オン・テクノロジー、92頁に報告されている（1996VLSI Symp. Tech. p. 92）。

### 【0006】

図28に、2000年ブイエルエスアイ・シンポジウム・オン・テクノロジー、154頁（1996VLSI Symp. Tech. p. 154）に記載された従来例を記載する。シリコン基板130上に、絶縁体層121を介してシリコン層122が設けられたSOI基板を用いて、ゲート絶縁膜126、ゲート電極125、ソース領域124、ドレイン領域123よりなるトランジスタを形成する。トランジスタの周辺の素子分離領域では、トレンチ分離プロセスにより素子分離領域が形成される。素子に隣接した一部の領域では、トレンチはシリコン層の下に達せず、シリコン層がトレンチの下部に残った部分トレンチ131が形成される。部分トレンチ131の下部に残された薄いシリコン層は、キャリア経路127となる。キャリア経路はボディコンタクト領域128に接続される。この構造は、トランジスタのチャネル部で発生した余剰キャリアを、キャリア経路127を経由して、ボディコンタクト領域128から排出できるという特徴を持つ。

### 【0007】

#### 【特許文献1】

特開平4-34980号公報

#### 【非特許文献1】

コウ他著 アイ・イー・イー・イー、エレクトロンデバイスレター、18巻、102-4頁（IEEE, Electron Device Lett

er、Vol. 18, p. 102-104)

#### 【非特許文献2】

チェン他著 シンポジウム オン ブイエルエスアイ テクノロジ

1996年 頁92-93

#### 【非特許文献3】

前田他著 シンポジウム オン ブイエルエスアイ テクノロジ 2

000年 頁154-155

#### 【0008】

##### 【発明が解決しようとする課題】

SOI基板のシリコン層を極めて薄く（典型的には10nmから50nm）形成することが必要とされる微細完全空乏化型SOI-MOSFETでは、余剰キャリアの経路であるウェル領域111（以下、キャリア経路）が薄くなるので、キャリア経路の抵抗が増してしまう。キャリア経路の抵抗を下げるためには、キャリア経路の不純物濃度をチャネル形成領域よりも高くする必要があるが、素子領域の位置と自己整合的に、キャリア経路に高濃度の不純物を導入する手段は知られていない。

#### 【0009】

図26が記載される上記公開特許公報には、分離用絶縁膜106を形成する方法が記載されていないが、この素子分離方法はバルク基板上のFETにおいて、LOCOS法あるいはトレンチ分離が実用化される以前に一般的に用いられた方法と同様と考えられる。バルク基板上のFETにおいて一般的な工程をSOI基板に当てはめると、図29のようになる。まず、気相からの拡散などを用いて、シリコン層103（通常はシリコン基板）に不純物を導入する（図29（a））。次に熱酸化、あるいはCVDによって、シリコン層103上に分離絶縁層106を成長させる（図29（b））。次に、分離絶縁層106をウェットエッチングによりパターニングすれば、図29（c）のような形状が得られる。

#### 【0010】

ここで、分離絶縁層106が除去された部分はトランジスタが形成される素子領域となり、分離絶縁層106の下部がキャリア経路となる。しかし、この方法

では、キャリア経路にチャネル形成領域よりも高い濃度の不純物を導入できず、S O I層が薄く、キャリア経路の不純物濃度を高くする必要がある微細な完全空乏化型S O I-M O S F E Tには不向きである。

#### 【0011】

また、従来の文献には記されていないが、仮に図30のようにフォトレジスト、あるいはS i O<sub>2</sub>膜等からなるマスクパターン116を用いて、分離領域に一旦不純物を導入した後（図29（a））、分離絶縁層106を形成しこれをパターニングすれば、素子分離領域に位置するキャリア経路の不純物濃度を、チャネル形成領域108よりも高くすることが出来る。しかし、キャリア経路の位置と、トランジスタが形成される素子領域の位置が自己整合的に決まらないので、図29（c）に示すような位置ずれを生じる。

#### 【0012】

また、図27、図28の従来例では、素子分離領域をパターニングする際（L O C O Sの工程に対するマスク膜を加工する際、あるいはシリコン層をエッチングして部分トレンチ131を形成する際）、素子領域がレジストにより覆われていることが一般的である。このレジストをマスクにイオン注入を実施すれば、素子分離領域にだけに自己整合的に不純物を導入できる。しかし、チャネル領域のS O I膜厚よりも、キャリア流路におけるS O I基板のシリコン膜厚が必然的に薄くなる図27、図28の技術は、S O I基板のシリコン層に極めて薄い膜厚が（典型的には10nmから50nm）が要求される極微細完全空乏化型S O I-M O S F E Tにおいては、キャリア経路においてS O I層が消失してしまうか、あるいはキャリア経路として不充分な厚さのS O I層しか残らないので、適用できない。

#### 【0013】

以上より、チャネル領域よりも高濃度の不純物を、チャネル領域に対して自己整合的に、キャリア経路となる部分に導入することができ、かつ、S O I層が薄いS O I-M O S F E Tにも適用可能な技術の実現が強く望まれている（第1の課題）。

#### 【0014】

図26の従来例は、図27、図28の従来例のように、キャリア経路がチャネル領域より薄くなることが無い点においては、薄膜SOI層を用いたSOI-MOSFETへの適用に向いている。しかし、分離絶縁膜6を図29(c)、図30(c)のように加工する際、パターンの端部の形状に急峻性が得られなかったり、パターン形状がマスク寸法と異なったり、あるいはシリコン層に欠陥を発生させる等の問題が発生する。

#### 【0015】

仮に、図29(c)または図30(c)の工程において、ウェットエッチングにより分離絶縁膜6を加工する場合、エッチングは等方的に進むので、パターンの端部が急峻な形状にならない。また、エッチングが等方的に進むことにより、分離絶縁膜6が横方向にエッチングされ、分離絶縁膜の設けられる領域が小さくなってしまう可能性がある。また、もしドライエッチングにより加工を行えば、パターン端部の急峻性や、マスク寸法からのずれは改善されるが、シリコン層表面がドライエッチングに用いるプラズマに暴露するため、シリコン表面に様々な欠陥が発生する。また、ドライエッチングにより $\text{SiO}_2$ 膜をエッチングする際のシリコンに対する選択比は、ウェットエッチングの場合に比べて小さいので、シリコン層をエッチングしてしまう可能性がある。従って厳密なシリコン膜厚制御が要求される薄膜SOI-MOSFETにドライエッチングによる加工を適用するのは難しい。

#### 【0016】

以上より、薄膜シリコン層を用いたSOI-MOSFETへ適用でき、分離絶縁膜のパターン端部の形状が急峻で、マスク寸法からのずれが小さく、欠陥の発生が少なく、またシリコン層がエッチングされない素子分離技術の実現が強く望まれている（第2の課題）。

#### 【0017】

図26の従来例は、分離絶縁膜6の上端が、素子領域におけるシリコン層の表面よりも突起している。従って、ゲート電極材料を堆積すると、その表面は分離絶縁膜6の突起を反映した凹凸を持つ。ゲート電極を加工する際、加工される材料の表面が平坦でなければ、レジストパターンが変形し、加工されたゲート電極

の形状が変形したものになる。また、ゲート電極材料の表面、あるいはゲート電極材料の下面が平坦でなければ、ゲート電極を RIE (R e a c t i v e I o n E t c h i n g、反応性イオンエッティング) で加工する際、一部の領域だけで、先にゲート電極のエッティングが終了し、下地のゲート絶縁膜が露出してしまう。この状態で、残りの領域のゲート電極材料を除去するべく、エッティングを進めると、露出したゲート絶縁膜がエッティングされ、さらに下地のシリコン層までがエッティングされてしまい、トランジスタの形状を形成できなくなるという問題が起こる。

#### 【0018】

以上より、ゲート電極をリソグラフィ及び RIE により加工する際、加工される材料の表面と下面が平坦となる素子分離技術の実現が強く望まれている（第3の課題）。

#### 【0019】

図26の従来例において、チャネル領域からボディコンタクトに至るキャリアの経路（以下、キャリア経路と略す）の抵抗を下げるためには、キャリア経路であるウェル領域の不純物濃度を高くすることが望ましい。しかし、ウェル領域の不純物濃度を高くしすぎると、ソース／ドレイン領域とウェル領域との間の電界強度が高くなり、その結果漏れ電流が増大する。また、ウェル領域の不純物濃度を高いと、ソース／ドレイン領域とウェル領域との間に大きな寄生容量が付き、トランジスタの動作速度を低下させる。

#### 【0020】

従って、ソース／ドレイン領域と、ウェル領域との間の電界強度を抑制し、漏れ電流及び寄生容量を低く保ったまま、キャリア経路の抵抗を下げることができるトランジスタ構造及びその製造方法の実現が強く望まれている（第4の課題）。

#### 【0021】

##### 【課題を解決するための手段】

本発明においては、絶縁体上に半導体層が設けられ、前記半導体層と、前記半導体層の上部に設けられたゲート絶縁膜と、前記ゲート絶縁膜上にパターニング

された導電性材料よりなるゲート電極と、前記ゲート電極の両側に前記半導体層に第1導電型不純物が高濃度に導入されたソース／ドレイン領域とからなる電界効果型トランジスタと、前記半導体層に第2導電型不純物が高濃度に導入されたボディコンタクト領域と、前記ゲート電極の延長部と前記半導体層の間にゲート絶縁膜よりも厚いフィールド絶縁膜が介在し、前記半導体層中に第2導電型の不純物が導入された部分分離領域と、前記絶縁体上に前記半導体層が存在しない完全分離領域からなり、前記完全分離領域は電界効果型トランジスタのソース／ドレイン領域のゲート電極方向に平行な側面の少なくとも一部の領域に接して設けられることを特徴とする。

#### 【0022】

本発明においては、前記ゲート電極は、フィールド絶縁膜と予め定めた許容範囲内で同じ高さを持つ第1の領域と、前記第1の領域の上に位置しキャリア経路上部に延長される第2の領域とからなることを特徴とする。

#### 【0023】

本発明においては、前記ゲート電極の前記第1の領域と第2の領域は、異なる工程において堆積された材料よりなることを特徴とする。

#### 【0024】

本発明においては、前記ゲート電極の前記第1の領域と第2の領域は、異なる材料よりなることを特徴とする。

#### 【0025】

本発明においては、前記部分分離領域のうち、電界効果型トランジスタが設けられる素子領域に接する一部の領域の不純物濃度が、部分分離領域の他の領域の不純物濃度に比べて低いことを特徴とする。

#### 【0026】

本発明においては、前記部分分離領域のうち、電界効果型トランジスタが設けられる素子領域に接する一部の領域の不純物濃度が、部分分離領域の他の領域に比べて低く、電界効果型トランジスタが設けられる素子領域の不純物濃度と同一であることを特徴とする。

#### 【0027】

本発明においては、前記部分分離領域のうち、電界効果型トランジスタが設けられる素子領域に接する一部の領域の不純物濃度が、部分分離領域の他の領域に比べて低く、電界効果型トランジスタが設けられる素子領域の不純物濃度と同一であることを特徴とする。

#### 【0028】

本発明においては、前記完全分離領域は電界効果型トランジスタのソース／ドレイン領域のゲート電極方向に平行な側面の全て領域に接して設けられることを特徴とする。

#### 【0029】

本発明においては、前記完全分離領域は電界効果型トランジスタのソース／ドレイン領域のゲート電極方向に平行な側面の全ての領域と、ソース／ドレイン領域のゲート電極方向に垂直な側面の一部の領域に接して設けられることを特徴とする。

#### 【0030】

本発明においては、隣接する電界トランジスタの間に完全分離領域だけが設けられた領域が存在することを特徴とする。

#### 【0031】

本発明においては、前記完全分離領域は電界効果型トランジスタのソース／ドレイン領域のゲート電極方向に平行な側面の一部の領域と、ソース／ドレイン領域のゲート電極方向に垂直な側面のうち一方の側面の全部の領域に接して設けられることを特徴とする。

#### 【0032】

本発明においては、複数の電界効果型トランジスタが、完全分離領域で囲まれた1つのブロックの中に設けられることを特徴とする。

#### 【0033】

本発明においては、pチャネルトランジスタとnチャネルトランジスタが、完全分離領域で囲まれたそれぞれ異なるブロックの中に設けられることを特徴とする。

#### 【0034】

本発明においては、pチャネルトランジスタとnチャネルトランジスタが、完全分離領域で囲まれたそれぞれ異なるブロックの中にそれぞれ複数設けられることを特徴とする。

#### 【0035】

本発明においては、複数のトランジスタが含まれるブロックを規定する完全分離領域の一部が、ソース・ドレイン領域の側面に接して設けられる。

#### 【0036】

本発明においては、単一のトランジスタよりなるブロックを規定する完全分離領域の一部が、ソース・ドレイン領域の側面に接して設けられる。

#### 【0037】

本発明においては、絶縁体上の半導体層において素子領域及びボディコンタクト領域を覆う領域に、最上層がCMPに対して耐性を有する上層マスク層、第2層が導電性材料もしくは不純物の導入により導電性を持たせることができる材料、より成るCMPマスクを形成する工程と、CMPマスクで覆われていない領域のうち少なくとも一部にソース／ドレイン領域導入される不純物とは異なる導電型の不純物を導入する工程と、CMPマスクに接する一部の領域において前記絶縁体上の半導体層を除去して完全分離領域を形成する工程と、前記CMPマスクの材料とは異なる第2の絶縁体で全体を覆い、続いてCMPにより第2の絶縁体を平坦化する工程と、CMPにより第2の絶縁体を平坦化した後に、前記CMPマスクのうち最上層を除去し、導電性材料もしくは不純物の導入により導電性を持たせることができる材料よりなるゲート上層導電体を堆積する工程と、ボディコンタクト領域の全てと素子領域のうち一部においてゲート上層導電体及びCMPマスクの第2層を除去し、残留したゲート上層導電体と前記CMPマスクの第2層よりなる電界効果型トランジスタのゲート電極を形成し、前記ゲート電極の両側の半導体層にソース／ドレイン領域を形成することにより電界効果型トランジスタを形成する工程を有し、前記完全分離領域は電界効果型トランジスタのソース／ドレイン領域が設けられる領域のうち、ゲート電極が設けられる方向に平行な側面の少なくとも一部の領域に接して設けられることを特徴とする。

#### 【0038】

本発明においては、前記CMPマスクに接する一部の領域において前記絶縁体上の半導体層を除去して完全分離領域を形成する工程よりも後に、前記CMPマスクの材料とは異なる第2の絶縁体で全体を覆い、続いてCMPにより第2の絶縁体を平坦化する工程を実施する。

#### 【0039】

本発明においては、前記CMPマスクの材料とは異なる第2の絶縁体で全体を覆い、続いてCMPにより第2の絶縁体を平坦化する工程を実施した後に、前記CMPマスクに接する一部の領域において前記絶縁体上の半導体層を除去して完全分離領域を形成する。

#### 【0040】

本発明においては、絶縁体上の半導体層上において素子領域及びボディコンタクト領域を覆う領域に、最上層がCMPに対して耐性を有する上層マスク層、第2層が導電性材料もしくは不純物の導入により導電性を持たせることができる材料、より成るCMPマスクを形成する工程と、CMPマスクで覆われていない領域のうち少なくとも一部にソース／ドレイン領域導入される不純物とは異なる導電型の不純物を導入する工程と、前記CMPマスクの材料とは異なる第2の絶縁体で全体を覆い、続いてCMPにより第2の絶縁体を平坦化する工程と、CMPにより第2の絶縁体を平坦化した後に、前記CMPマスクのうち最上層を除去し、導電性材料もしくは不純物の導入により導電性を持たせることができる材料よりなるゲート上層導電体を堆積する工程と、ボディコンタクト領域の全てと素子領域のうち一部においてゲート上層導電体及びCMPマスクの第2層を除去し、残留したゲート上層導電体と前記CMPマスクの第2層よりなる電界効果型トランジスタのゲート電極を形成し、前記ゲート電極の両側の半導体層にソース／ドレイン領域を形成することにより電界効果型トランジスタを形成する工程と、電界効果型トランジスタを層間絶縁膜で覆い、層間絶縁膜を平坦化したのち、ソース・ドレイン領域に接する少なくとも一部の部分の前記半導体層を除去して完全分離領域を形成する工程を有し、前記完全分離領域は電界効果型トランジスタのソース／ドレイン領域が設けられる領域のうち、ゲート電極が設けられる方向に平行な側面の少なくとも一部の領域に接して設けられることを特徴とする。

**【0041】**

本発明においては、前記CMPマスクの材料は、最上層がSi<sub>3</sub>N<sub>4</sub>膜よりなる多層膜により形成されることを特徴とする。

**【0042】**

本発明においては、前記CMPマスクの材料は、最上層がSiO<sub>2</sub>膜、その下部に位置する第二層がSi<sub>3</sub>N<sub>4</sub>膜よりなる多層膜により形成されることを特徴とする特徴とする。

**【0043】**

本発明においては、前記CMPマスクの材料は、最上層がSi<sub>3</sub>N<sub>4</sub>膜、その下部に位置する第二層がポリシリコン膜より形成されることを特徴とする特徴とする。

**【0044】**

本発明においては、前記CMPマスクの材料は、最上層がSi<sub>3</sub>N<sub>4</sub>膜、その下部に位置する第二層がSiO<sub>2</sub>膜、その下部に位置する第三層がポリシリコン膜より形成されることを特徴とする特徴とする。

**【0045】**

本発明においては、素子領域及びボディコンタクト領域以外を覆う前記CMPマスクを形成した後、前記CMPマスクに覆われていない領域、すなわち素子分離領域の半導体層へ、第2導電型の不純物を導入することを特徴とする。

**【0046】**

本発明においては、前記CMPマスクの第2層、及び前記ゲート上層材料とともにポリシリコンであることを特徴とする。

**【0047】**

本発明においては、ゲート電極上層材料は、導電性材料もしくは不純物の導入により導電性を持たせることができる材料による多層構造であることを特徴とする。

**【0048】**

本発明においては、前記CMPマスクの第2層がポリシリコン、前記ゲート上層材料が金属であることを特徴とする。

### 【0049】

本発明においては、前記CMPマスクを形成したのち、前記CMPマスクに側壁を設け、前記CMPマスクと前記CMPマスクの側壁のいずれにも覆われていない領域のうち少なくとも一部にソース／ドレイン領域導入される不純物とは異なる導電型の不純物を導入することを特徴とする。

### 【0050】

#### 【発明の実施の形態】

本発明の第1の実施の形態を図1～図10を参照して説明する。図3, 4, 8は俯瞰図である。図8が完成図で、図3, 4は途中工程における俯瞰図である。工程断面を、図1, 2, 5, 6, 7, 9用いて示す。図3, 4, 10のY-Y'断面を、図2(a), 5(a), 6(a), 7(a), 9(a)に、X1-X1'断面を、図2(b), 5(b), 6(b), 7(b), 9(b)に、X2-X2'断面を、図2(c), 5(c), 6(c), 7(c)および図10に示す。

### 【0051】

シリコン基板上201に埋め込み絶縁膜層202を介して単結晶シリコン層203が設けられたSOI(シリコン・オン・インシュレータ)基板を用意する。埋め込み絶縁膜層202の材質はSiO<sub>2</sub>、厚さは例えば100nmとする。シリコン層203の厚さは典型的には5～50nmである。シリコン層203上に、厚さ1.5nmのゲート酸化膜204を熱酸化により形成後、厚さ50nmのポリシリコン層205、厚さ150nmのSi<sub>3</sub>N<sub>4</sub>膜206を、CVD等の薄膜堆積手段を用いてこの順に堆積する(図1)。

### 【0052】

素子領域209を形成する領域、ボディコンタクト領域212を形成する領域を覆うレジストパターン207を設け、レジストパターン207をマスクにSi<sub>3</sub>N<sub>4</sub>膜206とポリシリコン層205をRIEによりエッチングする。続いて、レジストパターン207あるいはSi<sub>3</sub>N<sub>4</sub>膜206をマスクに、不純物をイオン注入する。注入される不純物イオンの導電型は、nチャネルトランジスタ周辺ではp型、pチャネルトランジスタ周辺ではn型である。p型不純物となるイオンとして、例えばB<sup>+</sup>、BF<sub>2</sub><sup>+</sup>、Inを用いる。n型不純物となるイオンとして例

えばA s<sup>+</sup>、P<sup>+</sup>、S b<sup>+</sup>を用いる。これにより、シリコン層203中にキャリア経路208に不純物が導入される(X1-X1' 断面形状を図2 (b) に示す。Y-Y' 断面形状を図2 (a) 、X2-X2' 断面形状を図2 (c) に示す。)

。

### 【0053】

pチャネルトランジスタの周辺と、nチャネルトランジスタの周辺で異なる不純物をキャリア経路208に導入するためには、以下のようにする。まず、レジストパターン207を一旦除去する。そしてnチャネルトランジスタの周辺に不純物を導入する場合には、pチャネルトランジスタ及びその周辺の領域を新たなフォトレジストで覆い、新たなフォトレジストとnチャネルトランジスタが設けられる領域において露出しているSi<sub>3</sub>N<sub>4</sub>膜206をマスクにイオン注入をする。pチャネルトランジスタの周辺に対しても同じことを繰り返す。なお、この場合、キャリア経路208への不純物が導入される際には図2 (a) 、図2 (b) 及び図2 (c) においてレジストパターン207が存在しない形態になる。

### 【0054】

キャリア経路208の不純物濃度は、典型的には $1 \times 10^{18} \text{ cm}^{-3}$ から $1 \times 10^{20} \text{ cm}^{-3}$ の範囲である。ドーズ量は、典型的には $1 \times 10^{13} \text{ cm}^{-2}$ から $1 \times 10^{15} \text{ cm}^{-2}$ の範囲である。キャリア経路208の不純物は、部分分離領域211において、素子領域209とボディコンタクト領域212を結ぶ経路において導入されれば良く、部分分離領域211のうち素子領域209とボディコンタクト領域212を結ぶ経路を除いた領域において、キャリア経路208の不純物が導入されない領域があっても良い。

### 【0055】

続いて、図3に示すように、レジストパターンに開口部221を設け、レジストパターンとSi<sub>3</sub>N<sub>4</sub>膜206をマスクに、素子領域209の接する一部の領域においてゲート絶縁膜204とシリコン層203を除去する。レジストを除去したあとの平面図を図4に、X1-X1' 断面形状を図5 (b) に示す。この時点でのY-Y' 断面形状を図5 (a) 、X2-X2' 断面形状を図5 (c) に示す。

## 【0056】

全体を CVD SiO<sub>2</sub>膜 213 で覆い、Si<sub>3</sub>N<sub>4</sub>膜 206 をストップとして CMP (ケミカルメカノポリッシュ) により CVD SiO<sub>2</sub>膜 213 を平坦化し、図6 (a)、図6 (b) 及び図6 (c) の形状を得る。

## 【0057】

続いて、熱したリン酸によるウエットエッチング、あるいはRIEによるドライエッチングなどのエッチング工程により Si<sub>3</sub>N<sub>4</sub>膜 206 を除去する。続いて第二のポリシリコン 214 をゲート上層導電体として堆積する。そしてポリシリコン 205 及び第二のポリシリコン 214 をレジストをマスクに RIEなどのエッチング工程により加工することにより、ポリシリコン 205 及び第二のポリシリコン 214 からなるゲート電極 222 (図8参照) を形成する。

## 【0058】

この際、ボディコンタクト領域 212 においては、ポリシリコン 205 はすべて除去される (図7 (c))。この際、素子領域 209 と部分分離領域 211 が接続する領域のうち少なくとも一部が第二のポリシリコン 214 に覆われるようゲート電極 222 を加工する (図7 (a))。続いて、ゲート電極 222 及びフィールド絶縁膜 213 をマスクに、イオン注入等の不純物導入手段により高濃度の不純物を半導体層 203 に導入し、ソース・ドレイン領域 215 を形成する (図7 (b))。また、ボディコンタクト領域の半導体層 203 には、イオン注入等の不純物導入手段により、ソース・ドレイン領域とは異なる導電形の不純物を高濃度に導入した高濃度領域 216 を設ける (図7 (c))。なお、図7 (a) は Y-Y' 断面形状を、図7 (b) は X1-X1' 断面形状を、図7 (c) は X2-X2' 断面形状示す。なお、Si<sub>3</sub>N<sub>4</sub>膜 206 を除去する際に、Si<sub>3</sub>N<sub>4</sub>膜とフィールド絶縁膜 213 が等速でエッチングされる条件を用いると、ポリシリコン 205 の上端とフィールド絶縁膜 213 の上端の高さが揃うので、より好ましい (図7 (a) 参照)。

## 【0059】

続いて、通常の工程により絶縁膜よりなるゲート側壁 217、シリサイド領域 218、層間絶縁膜 219、コンタクト 220、配線 223 を設けることにより

、電界効果型トランジスタが設けられる素子領域 209、余剰なキャリアを排出するキャリア経路であり、半導体層上にフィールド絶縁膜が設けられた部分分離領域 211、半導体層 203 が除去された完全分離領域 210 よりなる半導体装置が完成する。完成した半導体装置においては、完全分離領域 210 はソース・ドレイン領域のゲート延長方向に平行な側面の少なくとも一部に接して設けられており、またゲート電極はフィールド絶縁膜上に延長されない第一領域（ポリシリコン 205 が相当）と、フィールド絶縁膜上に延長される第二の領域（ゲート上層導電体 214 が相当）からなる。この状態での俯瞰図を図 8 に、Y-Y' 断面形状を図 9 (a)、X1-X1' 断面形状を図 9 (c) に、X2-X2' 断面形状を図 10 に示す。

### 【0060】

以上に述べた製造方法において、CMP マスクの最上層に位置する  $\text{Si}_3\text{N}_4$  膜 206 を堆積したあとに、続いて  $\text{SiO}_2$  膜 231 を堆積しても良い。この場合、図 1 の形状は図 11 (a) のように、図 2 (b) の形状は図 11 (b) のようになる。 $\text{SiO}_2$  膜 231 は図 3 のレジスト開口部 221 を通して完全分離領域を形成するためのエッチングを実施する際、エッチングの選択比の問題から  $\text{Si}_3\text{N}_4$  膜 206 が一部エッチングされることを防ぐ作用を持つ。なお、 $\text{SiO}_2$  膜 231 は、続く工程においてフィールド絶縁膜を CMP により平坦化する際に同時に除去される。

### 【0061】

またゲート電極のフィールド絶縁膜上に延長されない第一領域（ポリシリコン 205 が相当、以下ゲート電極の第一の領域と略記する）と、フィールド絶縁膜上に延長される第二の領域（ゲート上層導電体 214 が相当、以下ゲート電極の第二の領域と略記する）は同じ材料であっても良いし、異なる材料であっても良い。例えばゲート電極の第一の領域とゲート電極の第二の領域はともにポリシリコン、ともにシリコンゲルマニウム、ともに同一材料の金属シリサイド、ともに同一材料の金属であっても良い。また、ゲート電極の第一の領域とゲート電極の第二の領域は、ポリシリコン、シリコンゲルマニウム、金属シリサイド、金属あるいはその他の導電性材料から選択される異なる材料により形成されても良い。

典型的には、第一の領域がポリシリコンまたは多結晶シリコンゲルマニウム、第二の領域がタンゲステンシリサイド、TiNまたはコバルトシリサイドなどに組み合わせからなる場合が挙げられる。第一の領域にゲート絶縁膜に対する選択エッチングが容易で加工性が優れるポリシリコンまたは多結晶シリコンゲルマニウム、第二の領域に抵抗が低いタンゲステンシリサイド、TiNまたはコバルトシリサイドに代表される金属シリサイドまたは金属などの低抵抗層を組み合わせると、第一の領域の加工性と第二の領域の低抵抗性の両者を享受できる。また、第一の領域にTiN、MoN、WN、白金シリサイド、エルビウムシリサイド、シリコンゲルマニウム 混晶、ゲルマニウム等の半導体、半導体シリサイド、金属窒化物、その他金属化合物、金属などよりなるゲート仕事関数の制御を目的とした材料、第二層に低抵抗化を目的とした第一の領域とは異なる金属シリサイドまたは金属など低抵抗材料を用いても良い。また、ゲート電極の第一の領域あるいはゲート電極の第二の領域が、それぞれポリシリコン、シリコンゲルマニウム、金属シリサイド、金属あるいはその他の導電性材料から選択される異なる材料により形成された多層構造を持っていても良い。典型的には第二の領域がポリシリコンの上層にコバルトシリサイド、ニッケルシリサイドなどのシリサイド層が設けられる構造を挙げられる。また、他の典型例としては第一の領域の下層部がTiN、MoN、WN、白金シリサイド、エルビウムシリサイド、シリコンゲルマニウム 混晶、ゲルマニウム等の半導体、半導体シリサイド、金属窒化物、その他金属化合物、金属などよりなるゲート仕事関数の制御を目的とした材料で置き替えられた構造を取っても良い。なお、ゲート電極の第一の領域がポリシリコンではない場合、図6の平坦化を行う際のCMPマスク（図6では記号205と記号206より形成される構造）は、最上層のSi<sub>3</sub>N<sub>4</sub>膜であるが、その下層のポリシリコンとは異なる材料層により構成される多層膜となる。また、図11の工程を用いる場合は最上層がSiO<sub>2</sub>、その下層がSi<sub>3</sub>N<sub>4</sub>膜、その下層がポリシリコンとは異なる材料層により構成される多層膜となる。

### 【0062】

また、完全分離領域を形成するために半導体層203を除去する工程は、半導体素子を形成する工程のいずれの段階に行っても良い。例えば、完全分離領域を

形成するために半導体層203を除去する工程をフィールド絶縁膜213の堆積前に行う（図5（b））のではなく、フィールド絶縁膜213を堆積し、フィールド絶縁膜213をCMPにより平坦化した後、図3に示す開口部221を持つレジストパターン232を形成し（図12（a））、レジストパターン232及び $\text{Si}_3\text{N}_4$ 膜206をマスクにフィールド絶縁膜213と半導体層203を除去して完全分離領域210を形成する（図12（b））工程を用いても良い。図12（b）の形態を形成した後、再度CVDにより $\text{SiO}_2$ を堆積し、2度目のCMPを行えば、図6（b）と同じ形態が得られる。また、同様に、ソース・ドレイン領域にシリサイドを形成し、層間絶縁膜219を堆積、平坦化したのち（図9（b）において、コンタクト220と配線223を形成する前に相当）、図3に示す開口部221を持つレジストパターン232を形成レジストパターン232及びシリサイド領域218をマスクに層間絶縁膜219、フィールド絶縁膜213、半導体層203を除去して完全分離領域210を形成したのち（図13（a））、再度層間絶縁膜の堆積及び層間絶縁膜の平坦化を行ったのち、コンタクト220及び配線223を形成しても良い（図13（b））。フィールド絶縁膜213をCMPした後、あるいは層間絶縁膜219平坦化したのちに完全分離領域を設ける製造方法においては、開口部221を持つレジストパターンを平坦な面上に形成されるので、レジストパターンの形状が優れるという長所を持つ。

### 【0063】

また、フィールド絶縁膜213を平坦化（図6）して $\text{Si}_3\text{N}_4$ 膜206、ポリシリコン205を一旦除去したのち、あるいは、フィールド絶縁膜213を平坦化して $\text{Si}_3\text{N}_4$ 膜206とフィールド絶縁膜213を等速エッチバックしたのち、ポリシリコン205を一旦除去して、再度ゲート電極材料を堆積してこれを加工することによりゲート電極を形成しても良い。この場合、ゲート上層導電体214の堆積は省略しても良い。また、この場合、図1で堆積されるポリシリコン205はゲート電極の材料として使われないので、絶縁体等の他の材質でも良い。またポリシリコン205と $\text{Si}_3\text{N}_4$ 膜206の2層構造を $\text{Si}_3\text{N}_4$ 膜206の単層構造で代替しても良い。また、再度ゲート電極材料を堆積する工程に先だって、図1の工程で堆積したゲート絶縁膜204を一旦除去し、再度形成しても良

い。この場合、完成したトランジスタのゲート電極は、図9に示すような2層構造はとらない。例えば図14の記号233に示すような単層構造になる。

#### 【0064】

また、図1から図6の工程を実施したあと、図7の工程においてゲート上層導電体214の上部にSi<sub>3</sub>N<sub>4</sub>膜を一旦堆積したのち、ゲート電極を図7と同様に加工し、層間絶縁膜の堆積とゲート上層導電体214の上部のSi<sub>3</sub>N<sub>4</sub>膜をマスクにCMPを行い、続いてゲート電極（記号205及び215の部分）、あるいはゲート電極とゲート絶縁膜204を除去し得られた空洞にゲート電極材料、あるいは新たなゲート絶縁膜とゲート電極をそれぞれ形成する工程を用いても良い。この場合も、完成したトランジスタのゲート電極は、図9に示すような2層構造はとらない。例えば図14の記号233に示すような単層構造になる（以上、第一の実施形態）。

#### 【0065】

次に本発明の第二の実施形態について、図15、図16、図17を参照して説明する。図15は第一の実施形態の図3に相当する平面図、図16（a）及び図16（b）は、第一の実施形態における図9（a）の工程に対応する断面図、図17（a）及び図17（b）は第一の実施形態における図2（a）の工程に対応する断面図である。

#### 【0066】

第二の実施形態においては、第一の実施形態において、部分分離領域211のうち、素子領域209に隣接する部分に、キャリア経路208よりも不純物濃度が低いキャリア経路低濃度領域234が設けられる。素子領域209の不純物濃度がキャリア経路領域208よりも低い場合は、キャリア経路低濃度領域234は素子領域209の不純物濃度と同じでも良い（図16（a））。またキャリア経路低濃度領域234はキャリア経路領域208の濃度より低ければよく、素子領域209の不純物濃度よりも高くても低くても良い。キャリア経路低濃度領域234に、キャリア経路208よりも不純物濃度が低く、また素子領域209の不純物濃度とも異なる第三の不純物濃度を持つキャリア経路低濃度部235が設けられる場合を図16（b）に示す。キャリア経路低濃度領域234は、素子領

域に設けられるソース・ドレイン領域と、キャリア経路である部分分離領域との間の電界を緩和してリーク電流を低減する作用、およびソース・ドレイン領域と、キャリア経路である部分分離領域との間の寄生容量を低減する作用を持つ。

### 【0067】

キャリア経路低濃度領域234は適当なレジストを用いて、所望の位置に不純物を導入する方法などを用いても良い。またキャリア経路へ不純物を導入するためのフォトレジストの開口部を、素子領域から離して設ける方法と組み合わせても良い。また、図17(a)に示すように、第一実施例の図2の工程において、キャリア経路208を形成する不純物を導入する以前にフォトレジスト207を除去し、 $\text{SiO}_2$ 等の絶縁膜よりなる側壁236をCVD及びエッチバック工程を用いることにより形成し、続いて $\text{Si}_3\text{N}_4$ 膜206と側壁236をマスクにして不純物をイオン注入などにより導入してキャリア経路208を形成すれば、本発明の特徴である、素子領域とキャリア経路208の不純物の位置関係（この場合は互いの距離関係を含む）が自己整合的に決まるという長所が保持される。また、図17(a)の工程において、 $\text{SiO}_2$ 等の絶縁膜よりなる側壁236を形成する前に、 $\text{Si}_3\text{N}_4$ 膜206をマスクにイオン注入などによりキャリア経路低濃度部235の不純物を導入し、 $\text{SiO}_2$ 等の絶縁膜よりなる側壁236形成後、キャリア経路208に不純物を導入しても良い。CMOSを作製する際にはキャリア経路低濃度部235、キャリア経路208をnチャネルトランジスタ、pチャネルトランジスタのそれぞれに対して行う。この際、不純物が導入されないほうのトランジスタが設けられる領域は、レジストマスクで覆われている（以上、第二の実施形態）。

### 【0068】

次に本発明の第三の実施形態について図18及び図19を参照して述べる。なお、図19(b)は図19(a)のX1-X1'断面における断面図である。本発明第一の実施形態及び第二の実施形態においては、素子領域209に設けられるソース・ドレイン領域215の側面のうち、ゲート延長方向とは平行な側面の全てと、ゲート延長方向とは平行ではない側面の一部に接して完全分離領域210が設けられる形態を示したが、完全分離領域はソース・ドレイン領域215の

側面のうち少なくとも一部に接して設けられれば良い。ソース・ドレイン領域215とキャリア領域間のリーク電流および、ソース・ドレイン領域215とキャリア領域間の寄生容量は、ソース・ドレイン領域の側面のうち完全分離領域に接しない部分の長さに比例するので、完全分離領域がソース・ドレイン領域215の側面のうち少なくとも一部に接して設けられれば、ソース・ドレイン領域の側面のうち完全分離領域に接しない部分の長さが低減した量に比例してこれらリーク電流と寄生容量は低減する。また、完全分離領域はソース・ドレイン領域215の側面のうち少なくとも一部に接して設けられれば良いが、特にゲート延長方向とは平行なソース・ドレイン領域の側面の長さの半分以上に渡って設けられると、これらリーク電流と寄生容量を低減する効果が大きい。また、開口部は二つのソース／ドレイン領域215のそれぞれの側面の少なくとも一部に接して設けられるのではなく、一方のソース／ドレイン領域215の側面の少なくとも一部に接して設けられ、他方のソース／ドレイン領域に接した完全分離領域が設けられない構造をとっても良い。特に、二つのソース／ドレイン領域のうち、専らドレインとして機能するほうの一方のソース／ドレイン領域の側面だけに接して完全分離領域が設けられても、本発明は大きな効果をもたらす。

#### 【0069】

また、図19（a）及び図19（b）に示すように、複数の素子領域209（すなわち複数のトランジスタ）が隣接して配置される場合、隣接するトランジスタ間には完全分離領域だけが存在するように配置されても良い。

#### 【0070】

なお、図18及び図19においては第二の実施例において設けられるキャリア経路低濃度領域234が省略して描かれているが、第三の実施形態においてキャリア経路低濃度領域234が存在しても良い。また、図19の形態において、図18（a）及び図18（b）のように、ソース・ドレイン領域215の側面のうち、ゲート延長方向とは平行ではない側面に、完全分離領域210が設けられない形態が形成されても良い（以上、第三の実施形態）。

#### 【0071】

次に本発明の第四の実施形態について述べる。第一から第四の実施形態におい

て、素子領域209の側面のうち、ゲート延長方向とは平行ではない一方の側面の全てに接して完全分離領域210が設けられても良い。本実施形態における、第一実施例の図4に対応する平面図を図20（b）に、第一実施例の図3に対応する平面図を図20（a）に、図6（a）に対応する平面図を図21（a）に、図9（a）に対応する平面図を図21（b）に示す。また、この場合ゲート延長方向とは平行ではない側面において、ゲート電極下のチャネル領域が完全分離領域に露出するので、例えば図21（a）の形状において、フィールド絶縁膜213を埋め込む前に、素子領域209の側面を熱酸化することにより改質し、界面準位を低減する工程を追加しても良い。（以上、第四の実施形態）。

#### 【0072】

本発明の第五の実施形態について述べる。第一から第四の実施形態に記載された半導体素子において、素子領域は、最低一つのボディコンタクトに、キャリア経路を通して接続されれば良い。これらの構造を備える単位が、完全分離領域210により互いに分離されていても良い（図22、図23、図24、図25）。

#### 【0073】

また、完全分離領域210によって互いに分離される一つの単位は、複数のトランジスタと一つのボディコンタクトからなるものでも良くまた完全分離領域210によって互いに分離される一つの単位は、一つのトランジスタと複数のボディコンタクトからなるものでも良い（図23（a）、23（b））。また、完全分離領域210によって分離される一つの単位は、複数のトランジスタと複数のボディコンタクト（図22、図24（a））からなるものでも良い。

#### 【0074】

本実施形態においては、複数の電界効果型トランジスタが、完全分離領域で囲まれた1つのブロックの中に設けられても良い（図22、図24）。pチャネルトランジスタとnチャネルトランジスタが、完全分離領域で囲まれたそれぞれ異なるブロックの中に設けられても良い（図22）。pチャネルトランジスタとnチャネルトランジスタが、完全分離領域で囲まれたそれぞれ異なるブロックの中にそれぞれ複数設けられても良い（図22）。また、複数のトランジスタが含ま

れるブロックを規定する完全分離領域の一部が、ソース・ドレイン領域の側面に接して設けられても良い（図24（a））。また、単一のトランジスタよりなるブロックを規定する完全分離領域の一部が、ソース・ドレイン領域の側面に接して設けられても良い（図23（b）、図24（b）、図25（a）、図25（b））。また、nチャネルトランジスタとpチャネルトランジスタのキャリア経路どうしが短絡されないよう、両者の距離を充分にとるならば、nチャネルトランジスタとpチャネルトランジスタが混在する単一のブロックが完全分離領域により規定されて設けられても良い。

#### 【0075】

なお、第五の実施形態において、ゲート電極の配置方向とボディコンタクトの位置関係は任意である。すなわち、ボディコンタクトはゲート電極の延長線上にあっても良く、延長線上に無い位置にあっても良い（以上、第五の実施形態）。

#### 【0076】

第一から第五の実施形態において適用される本発明のその他の実施形態について以下説明する。埋め込み絶縁層202は通常SiO<sub>2</sub>であるが、他の絶縁体であっても良い。例えば、Si<sub>3</sub>N<sub>4</sub>、あるいは多孔質SiO<sub>2</sub>であっても良い。また、埋め込み絶縁層の部分に空洞が設けられていても良い。また埋め込み絶縁層は、複数の絶縁材料よりなる多層膜であっても良い。例えば、上層がSi<sub>3</sub>N<sub>4</sub>、下層がSiO<sub>2</sub>より成る2層膜、上層と下層がSiO<sub>2</sub>、中層がSi<sub>3</sub>N<sub>4</sub>よりなる3層膜であっても良い。埋め込み絶縁層の厚さは一般に80nm～1μmであるが、この範囲以外であっても、発明の効果は変わらない。また、支持基板を欠き、絶縁体上に半導体層が設けられる基板、例えばSOS（シリコン・オン・サファイア）基板や、ガラス基板上に半導体層が設けられた構造であっても良い。また、シリコン層に代えてシリコン以外の半導体層を用いても良い。また、二種類以上の半導体の組み合わせであっても良い。完全空乏化型SOI-MOSFETにおけるシリコン層2の厚さは、典型的には10～50nmである。ゲート長の大きい（典型的には0.35μm以上）トランジスタや、部分空乏化型SOI-MOSFETでは、これより厚くても良い。また、ゲート長が短く、短チャネル効果を強く抑制したい場合は、これより薄くても良い。なお、図1において、材

料、寸法を変更する場合、対応する材料、構成領域について、以降の工程に関する図面、説明に同様の変更が成されているものとする。また、図1以外の図面、あるいは記載についても、ある材料、寸法を変更する場合、対応する材料、構成領域について、以降の工程に関する図面、説明において、同様の変更が成されたものとする。

### 【0077】

なお、図17のSiO<sub>2</sub>サイドウォール236を、SiO<sub>2</sub>以外の材料、例えばSi<sub>3</sub>N<sub>4</sub>膜、アモルファスカーボン、アモルファスフッ化カーボン、BCB（ベンズシクロブテン）等で構成しても良い。

### 【0078】

ソース／ドレイン領域、ボディコンタクト領域とも、シリコン層3表面における不純物濃度は、典型的には $5 \times 10^{18} \text{ cm}^{-3}$ から $1 \times 10^{21} \text{ cm}^{-3}$ である。より典型的には、 $3 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{20} \text{ cm}^{-3}$ である。不純物の導入は例えばイオン注入、あるいは気相拡散により行う。イオン注入時の典型的なドーズ量は $1 \times 10^{14} \text{ cm}^{-12}$ から $3 \times 10^{15} \text{ cm}^{-2}$ 、より典型的には $3 \times 10^{14} \text{ cm}^{-12}$ から $1 \times 10^{15} \text{ cm}^{-2}$ である。

### 【0079】

ソース／ドレイン領域に導入する不純物は、nチャネルトランジスタの場合はn型の導電型を持つ不純物を、pチャネルトランジスタの場合はp型の導電型を持つ不純物を選べば良い。ボディコンタクト領域及びキャリア経路となる部分分離領域に導入される不純物は、nチャネルトランジスタに接続する場合はp型の導電型を持つ不純物を、pチャネルトランジスタに接続する場合はn型の導電型を持つ不純物を選べば良い。この結果、nチャネルトランジスタのソース／ドレイン領域はn型に、pチャネルトランジスタのソース／ドレイン領域はp型に、nチャネルトランジスタに接続するボディコンタクト領域とキャリア経路はp型に、pチャネルトランジスタに接続するボディコンタクト領域とキャリア経路はn型に形成されれば良い。

### 【0080】

各実施例におけるイオン注入において、p型（p<sup>+</sup>型、p<sup>-</sup>型も含む）領域を形

成する p 型不純物を形成するためのイオン種として、例えば  $B^+$ 、  $BF_2^+$ 、  $I^-$  を用いる。また、 n 型 (n+型、 n-型も含む) 領域を形成する n 型不純物を形成するためのイオン種として例えば  $As^+$ 、  $P^+$ 、  $Sb^+$  を用いる。また、 n 型、 p 型ともそれぞれの導電型の不純物を導入できる他のイオン種を用いても良い。また、イオン種は上のように一価のものに限らず、二価以上の電荷を持つものでも良い。また、各導電型不純物よりなるクラスターをイオン注入しても良い。また、イオン注入を、プラズマドーピング、気相拡散、固相拡散等、イオン注入以外の不純物導入手段で置き換えても良い。

#### 【0081】

本発明の実施例において、シリコンの熱酸化により形成したゲート絶縁膜を、他の方法により形成した  $SiO_2$  膜に置き換えても良い。例えばラジカル酸化によって形成した  $SiO_2$  膜を用いても良い。また、ゲート絶縁膜を  $SiO_2$  以外の絶縁材料より置き換えて良い。また、  $SiO_2$  とそれ以外の絶縁膜との多層膜、あるいは  $SiO_2$  以外の絶縁膜同士の多層膜に置き換えて良い。また、ゲート絶縁膜を  $Ta_2O_5$  などの高誘電率材料に置き換えても良い。ゲート絶縁膜の誘電率が、フィールド絶縁膜の誘電率より高いと、素子分離領域におけるゲートと半導体層間の寄生容量が、ゲート容量に対して相対的に低くなるので好ましい。ゲート絶縁膜が積層膜である場合、あるいは縦方向に組成が変化する膜である場合においても、ゲート絶縁膜中の一部の誘電率が、フィールド絶縁膜の誘電率より高いと、素子分離領域におけるゲートと半導体層間の寄生容量が、ゲート容量に対して相対的に低くなるので好ましい。

#### 【0082】

イオン注入工程における、イオン注入エネルギーは、典型的には 0.5 keV ~ 20 keV の範囲である。但し、不純物分布を特に浅くしたい場合にはこれ以下のエネルギーを、また SOI 層が厚い場合等、不純物分布を深くしたい場合にはこれ以上のエネルギーを用いても良い。イオン注入した不純物を活性化は、イオン注入後、通常の電気炉によるアニール、ランプアニールなどの加熱処理によって行う。

#### 【0083】

なお、チャネル領域へ不純物を導入する場合、各実施例において、例えば犠牲酸化膜を形成した後にイオン注入によって行う。注入したイオンを活性化するための熱処理は、イオン注入直後に行ったも良く、ソース／ドレイン領域に導入した不純物を活性化するための熱処理で兼ねても良い。SOI膜厚が50nmの場合には典型的にはゼロ～ $2 \times 10^{18} \text{ cm}^{-3}$ であるが、SOI膜が50nmより厚い場合は、典型的な値はこの範囲より低濃度であり、SOI膜が50nmより薄い場合は、典型的な値はこの範囲より高濃度である。例えばSOI膜が10nmの場合、典型的にはゼロ～ $5 \times 10^{18} \text{ cm}^{-3}$ である。また、しきい値電圧の設定の要求から、これら以外の濃度を用いても良い。また、ゲート電極としてポリシリコン以外の材料を用いる場合は、不純物の導入に依らずに、しきい値電圧を設定できるので、不純物の導入を省略しても良い。

#### 【0084】

ゲート電極材料がポリシリコン、多結晶シリコン－ゲルマニウム混晶等の半導体により形成される場合、ゲートへの不純物導入は、ソース／ドレインへの不純物導入と同時に行っても良い。また、ゲート電極材料の堆積と同時に行っても良い。また、ゲート電極材料を堆積し、ゲート電極の形状に加工する前に行っても良い。

#### 【0085】

CMOSを製造する場合で、ゲート電極形状の加工前にゲート電極材料に不純物を導入する場合は、nチャネルトランジスタとpチャネルトランジスタのゲート電極の導電型が異なる場合、適当なレジストマスクを設けることにより、それぞれに必要な導電型（一般的にはnチャネルトランジスタのゲートはn型で、pチャネルトランジスタのゲートはp型）の不純物をそれぞれのトランジスタが設けられる領域に導入しても依り。また、n型の不純物が導入されたゲート電極材料と、p型の不純物が導入されたゲート電極材料では、ゲート電極の加工に最適となるエッチング条件が異なる場合があるが、この場合、適当なレジストマスクなどマスク材料を用いることにより、nチャネルトランジスタのゲート電極の加工と、pチャネルトランジスタのゲート電極の加工とを、分離した工程において行っても良い。

**【0086】**

ゲート電極に不純物を導入する場合、堆積したゲート電極材料をR I E等により適当な形状にエッティングする前に導入しても良いし、エッティング後に導入しても良い。また、両者を組み合わせても良い。ゲート電極の材料は、必要は導電性と、トランジスタのしきい値電圧の設定に必要な仕事関数を持つものであれば良い。ゲート上層導電体は必要な導電性を持つものであれば良い。

**【0087】**

半導体層としてシリコンの場合を主に示したが、半導体層はシリコン以外の材料でも良い、また、シリコンとシリコン以外の材料との組み合わせであっても良い。また多層のS O I層に形成された多層のトランジスタが積層される3次元LSIにこの技術を用いても良い。

**【0088】**

素子領域、キャリア経路領域、ボディコンタクト領域における半導体層の厚さは略等しいことが最も望ましい。三者に膜厚差が生じる原因是、ゲート酸化、ゲート前酸化、半導体層上のSiO<sub>2</sub>がエッティングされて生じるSi膜の目減り等、形状を加工する際に付隨的に発生するものだけとし、素子領域、キャリア経路領域、ボディコンタクト領域のいずれかを、故意に他の領域よりも薄膜化するための工程を含めないことが、三者の膜厚差を小さくするという本発明の目的から、好ましい。

**【0089】**

また、イオン注入の観点からは、S O I層の全体をアモルファス化しないよう、イオン注入の射程が、S O I膜厚の全体に達しないことが好ましいので、70～80%以下に留まるよう注入エネルギーを設定する。素子領域、キャリア経路領域、ボディコンタクト領域のうちいずれかが他より薄くなった場合、その領域において最悪でもイオン注入の射程が、S O I膜厚の全体に達しないようにするためには、S O I膜の薄膜化量が、最も膜厚が厚い領域における膜厚の30%以下、できれば20%以下とすることが好ましい。すなわち、素子領域、キャリア経路領域、ボディコンタクト領域における半導体層の厚さは、すべて膜厚が最大となる領域の70%以上、より好ましくは80%以上であることが望ましい。

これは、短チャネル効果抑制のためにS O I層を15nm以下とした場合にも、また短チャネル効果抑制の要請が少なくS O I層が15nm以上である場合にも言える。

### 【0090】

また素子領域上のゲート電極の高さと、部分分離領域上のゲート電極の高さは、略等しいことが最も望ましい。リソグラフィ、及び、ゲートエッチング工程の安定性という観点から、段差は40nm以内、より好ましくは20nmとすることが望ましく、規定された段差の値を実現できるよう、ゲート電極材料の堆積膜厚、C M P条件を設定することが望ましい。

### 【0091】

#### 【発明の効果】

本発明は、素子領域に対するマスク材料（図2の記号205、記号206。記号207のレジストパターンはマスク材料に含まれる場合も、含まれない場合もある）を形成し、マスク材料をマスクに部分分離領域211にキャリア経路208を形成するための不純物導入を行う。チャネル領域やソース／ドレイン領域が形成される素子領域は、マスク材料に覆われた部分に形成されるので、チャネル領域等が形成される素子領域と、キャリア経路を、排他的位置に、自己整合的に形成することができる。従って、キャリア流路である部分分離領域への不純物導入と、チャネル領域への不純物導入は異なる工程で行われるので、両者の不純物濃度をそれぞれ独立に制御できる。また、両者の位置は排他的であるので、一方へ導入しようとした不純物が、他方の領域へ導入されてしまうことを防げる。従って、キャリア流路の抵抗を下げるために、キャリア流路に対して、チャネル領域より高濃度の不純物を導入することが可能であり、また、キャリア流路と素子領域とを排他的位置に自己整合的に形成できる。また、素子分離領域に設けられている絶縁膜（記号213）は、シリコン層よりも上方に突起した形状を持つので、シリコン層3は素子領域、素子分離領域ともほぼ同じ厚さを持ち、素子分離領域におけるシリコン層が素子領域より薄くなることがないので、薄膜S O Iにも適用できる。以上より、本発明は第1の課題を解決できる。

### 【0092】

また、素子分離領域に設けられている絶縁膜（記号 213）が、ゲート電極（特に部分分離領域 211 上の記号 214 の部分）とシリコン層 203 間の寄生容量を低減する作用、及びソース／ドレイン領域形成の不純物導入、チャネル領域への不純物導入、ボディコンタクト部への不純物導入の際に素子分離領域へ不純物が導入されることを防ぐ作用を持つことは、従来の技術における素子分離領域の絶縁膜（図 26 の記号 106、図 27 の記号 129、図 28 の記号 131、132）が持つ作用と同一である。

#### 【0093】

また、素子分離領域に設けられている絶縁膜の端の垂直形状は、略垂直な形状を持つよう RIE により加工されたマスク材料（図 2 (a)、図 2 (b)、図 2 (c) の記号 205）端部の垂直形状を反映するので、素子分離領域に設けられる絶縁膜の端部の形状も急峻になる。また、本発明では、素子領域がマスク材料により覆われた状態で、素子分離領域の絶縁膜が形成、加工されるので、従来の技術のように、素子分離領域の絶縁膜を形成する際に素子領域がエッチングダメージを受けることは無い。また、素子分離領域の絶縁膜は、素子形成領域に対して自己整合的に形成される。従って第 2 の課題が解決される。

#### 【0094】

また、ゲート電極を形成するための材料（ポリシリコン 205）を堆積したのち、平坦化を実施し、ゲート上層導電体 214 を設ける工程を用いることにより、ゲート電極材料の表面（あるいはダミーゲート電極材料の表面、ゲート上層導電体の表面）は平坦な形状を持つ。また、素子分離領域の絶縁膜の端がほぼ垂直な形状を持ち、斜めの形状を持たないので。ゲート電極材料の下面は水平な形状を持つ。従ってゲート電極をリソグラフィ及び RIE により加工する際、加工される材料の表面と下面が平坦であり、オーバーエッチングの必要が無く、ゲート電極（あるいはダミーゲート電極）の加工が容易となり、第 3 の課題が解決される。

#### 【0095】

また、本発明においては、ソース・ドレイン領域の周辺に接する領域の少なくとも一部の領域において、絶縁体上の半導体層が除去された完全分離領域が設け

られるので、ソース・ドレイン領域と完全分離領域との間に流れるリーク電流が抑制され、またソース・ドレイン領域と完全分離領域と完全分離領域との間の寄生容量が抑制され、キャリア経路である部分分離領域の不純物濃度を高くした際に生じるリーク電流の増加及びソース・ドレイン領域側面における寄生容量の増加を抑制することができる。従って、本発明は、第4の課題を解決できる。

### 【0096】

また、本発明では、部分分離領域のうち、不純物濃度が高い部分は素子領域から離して形成されるので、キャリア経路である部分分離領域の不純物濃度を高くした際に生じるリーク電流の増加及びソース・ドレイン領域側面における寄生容量の増加を抑制することができる。従って、本発明は、第4の課題を解決できる。

### 【図面の簡単な説明】

#### 【図1】

本発明の第1実施例の断面図を示す。

#### 【図2】

本発明の第1実施例の断面図を示す。

#### 【図3】

本発明の第1実施例の平面図を示す。

#### 【図4】

本発明の第1実施例の平面図を示す。

#### 【図5】

本発明の第1実施例の断面図を示す。

#### 【図6】

本発明の第1実施例の断面図を示す。

#### 【図7】

本発明の第1実施例の断面図を示す。

#### 【図8】

本発明の第1実施例の平面図を示す。

#### 【図9】

本発明の第1実施例の断面図を示す。

【図10】

本発明の第1実施例の断面図を示す。

【図11】

本発明の第1実施例の断面図を示す。

【図12】

本発明の第1実施例の断面図を示す。

【図13】

本発明の第1実施例の断面図を示す。

【図14】

本発明の第1実施例の平面図を示す。

【図15】

本発明の第2実施例の断面図を示す。

【図16】

本発明の第2実施例の断面図を示す。

【図17】

本発明の第2実施例の断面図を示す。

【図18】

本発明の第3実施例の平面図を示す。

【図19】

本発明の第3実施例の平面図及び断面図を示す。

【図20】

本発明の第4実施例の平面図を示す。

【図21】

本発明の第4実施例の断面図を示す。

【図22】

本発明の第5実施例の平面図を示す。

【図23】

本発明の第5実施例の平面図を示す。

**【図 2 4】**

本発明の第 5 実施例の平面図を示す。

**【図 2 5】**

本発明の第 5 実施例の平面図を示す。

**【図 2 6】**

従来の技術の平面図および断面図を示す。

**【図 2 7】**

従来の技術の断面図を示す。

**【図 2 8】**

従来の技術の断面図を示す。

**【図 2 9】**

従来の技術の断面図を示す。

**【図 3 0】**

従来の技術の断面図を示す。

**【符号の説明】**

101 シリコン基板

102 絶縁体層

103 シリコン層

104 ゲート絶縁膜

105 ゲート電極

106 分離用絶縁膜

107 ボディコンタクト領域

108 チャネル形成領域

109 ソース領域

110 ドレイン領域

111 ウェル領域

112 層間絶縁膜

113 コンタクトホール

114 配線層

1 1 5 ボディ用配線層

1 1 6 マスクパターン

1 2 1 埋め込み酸化膜

1 2 2 Si層

1 2 3 ドレイン

1 2 4 ソース

1 2 5 ゲート

1 2 6 ゲート絶縁膜

1 2 7 キャリア経路

1 2 8 ボディコンタクト

1 2 9 LOCOS領域

1 3 0 支持基板

1 3 1 部分トレンチ

1 3 2 深いトレンチ

2 0 1 シリコン基板

2 0 2 埋め込み絶縁層

2 0 3 シリコン層

2 0 4 ゲート絶縁膜

2 0 5 ポリシリコン

2 0 6 Si<sub>3</sub>N<sub>4</sub>膜

2 0 7 レジストパターン

2 0 8 キャリア経路

2 0 9 素子領域

2 1 0 完全分離領域

2 1 1 部分分離領域

2 1 2 ボディコンタクト領域

2 1 3 CVD SiO<sub>2</sub>膜

2 1 4 ゲート上層導電体

2 1 7 ゲート側壁

218 シリサイド領域

219 層間絶縁膜

220 コンタクト

221 レジスト開口部

222 ゲート電極

223 配線

231 SiO<sub>2</sub>膜

232 フォトレジスト

233 ゲート電極

234 キャリア経路低濃度領域

235 キャリア経路低濃度部

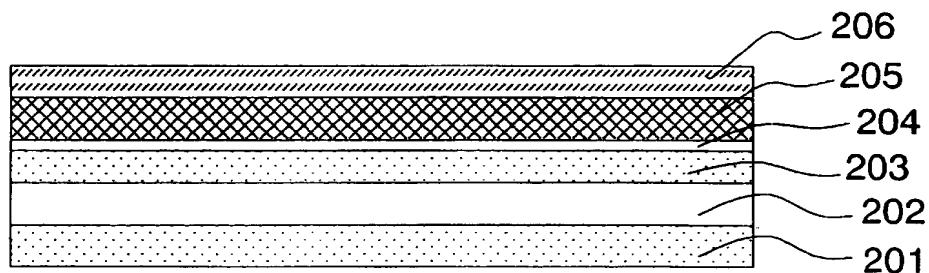
236 SiO<sub>2</sub>サイドウォール

241 nチャネルトランジスタが設けられたブロック

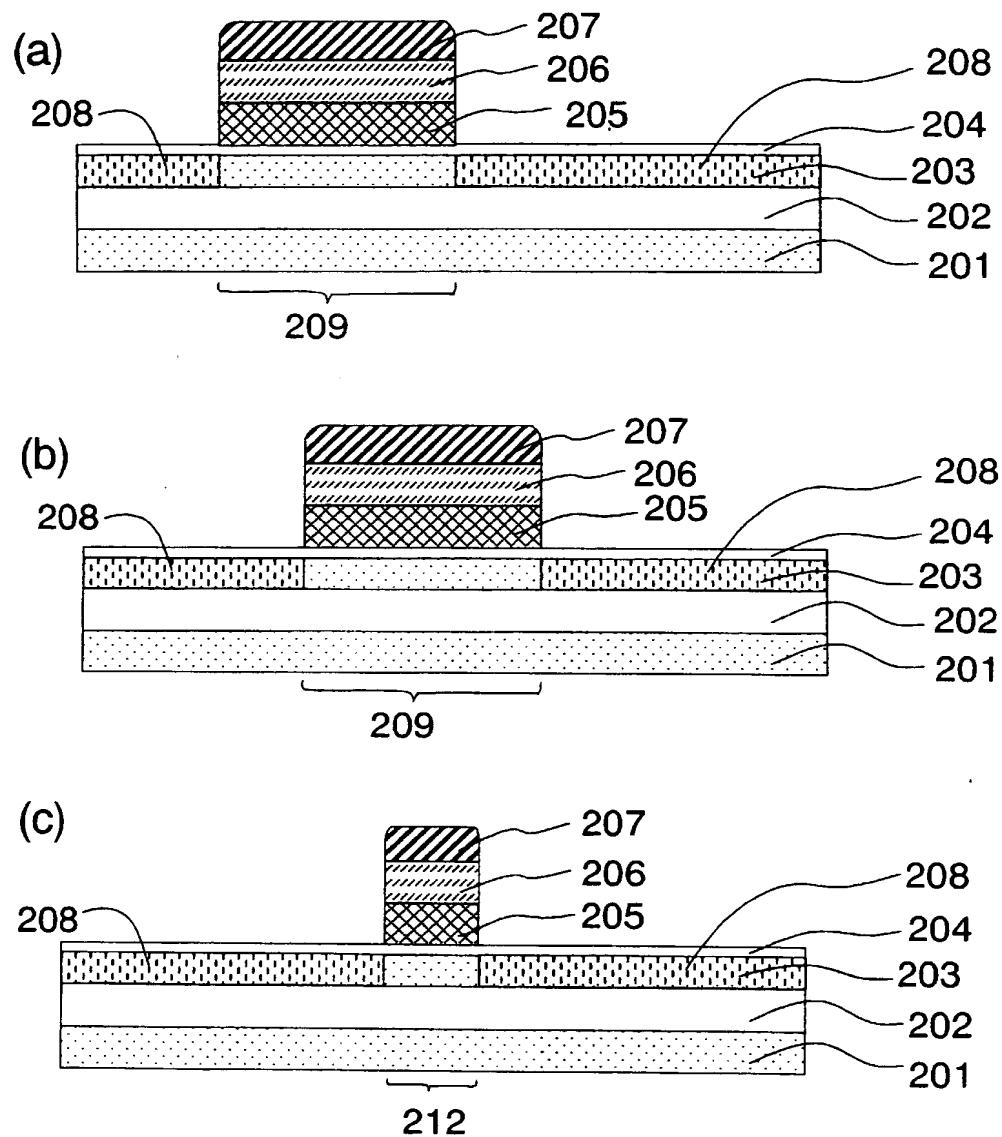
242 pチャネルトランジスタが設けられたブロック

【書類名】 図面

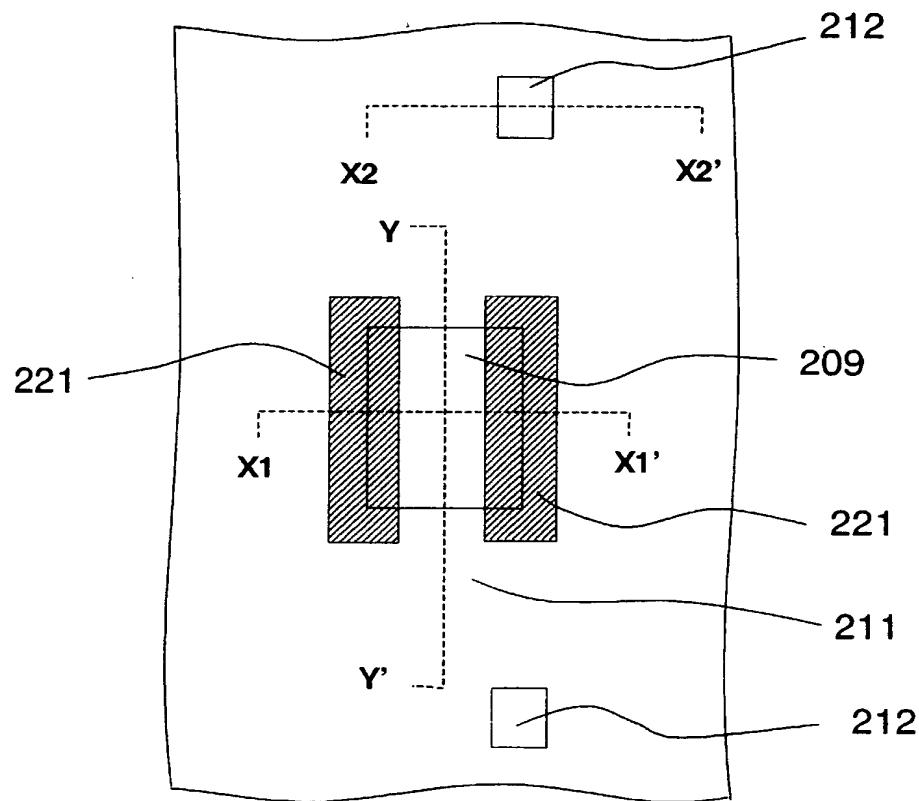
【図1】



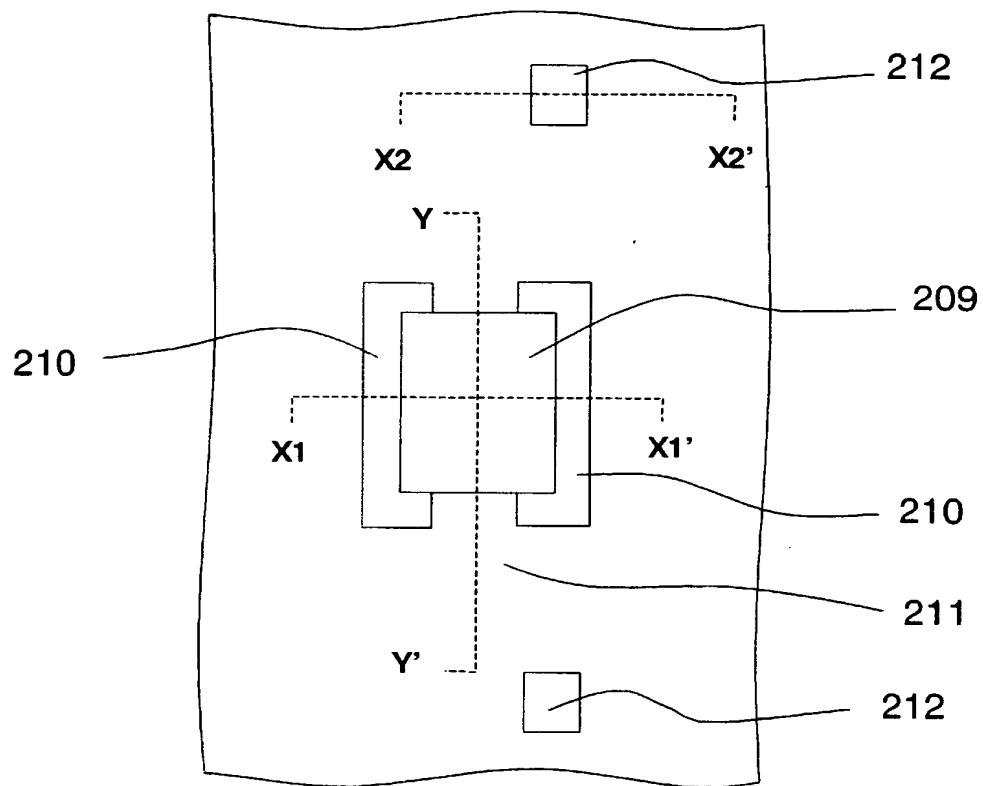
【図2】



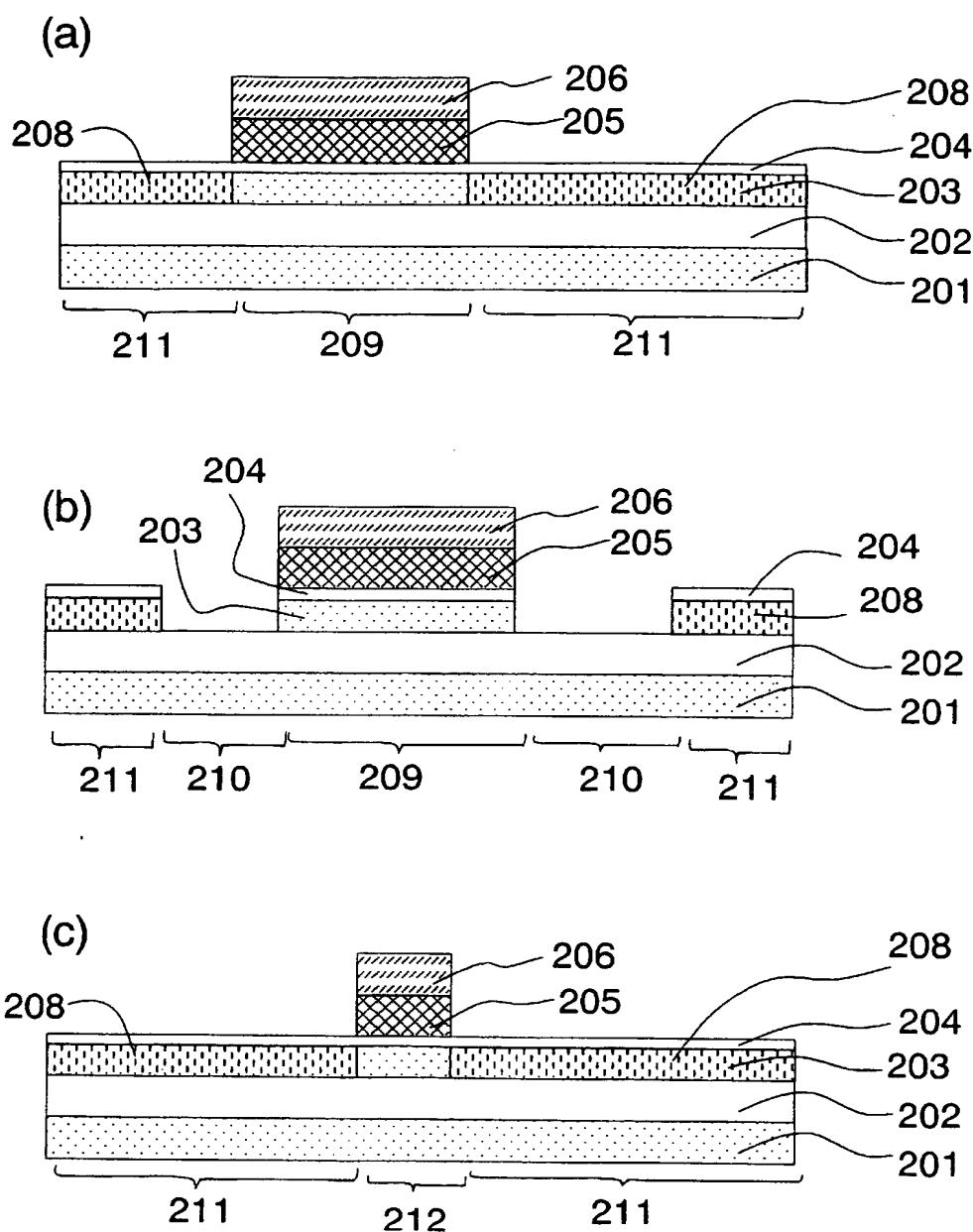
【図3】



【図4】

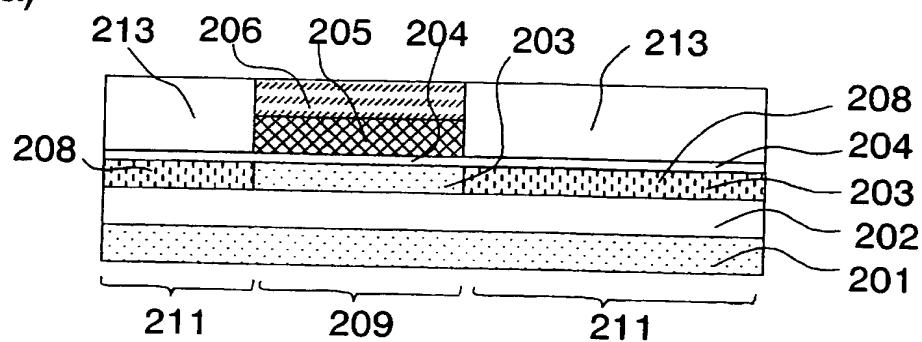


【図 5】

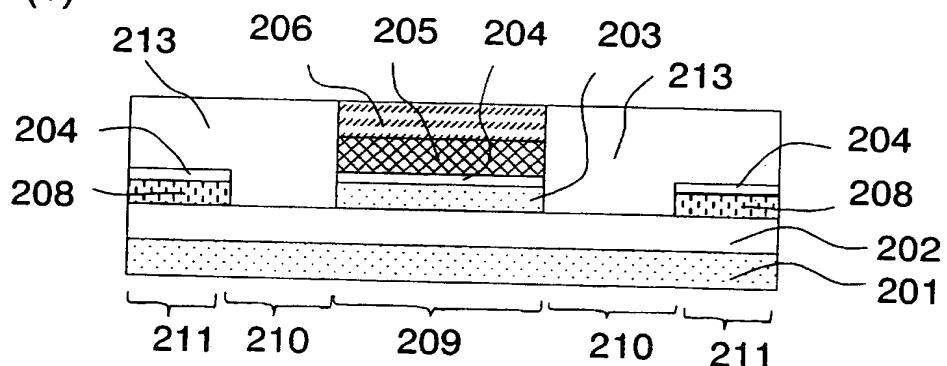


【図 6】

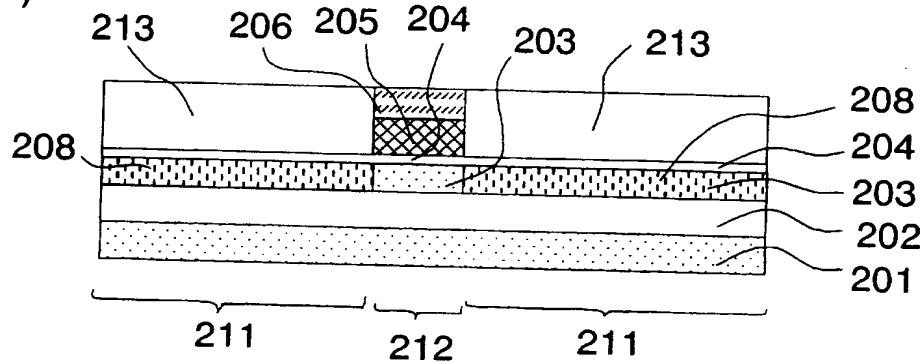
(a)



(b)

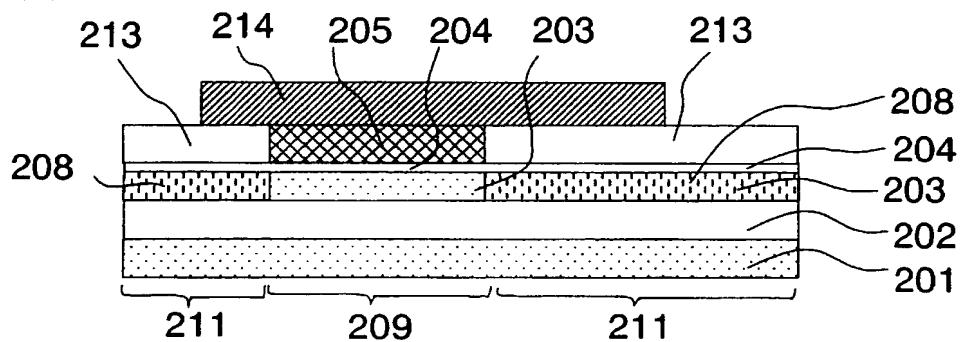


(c)

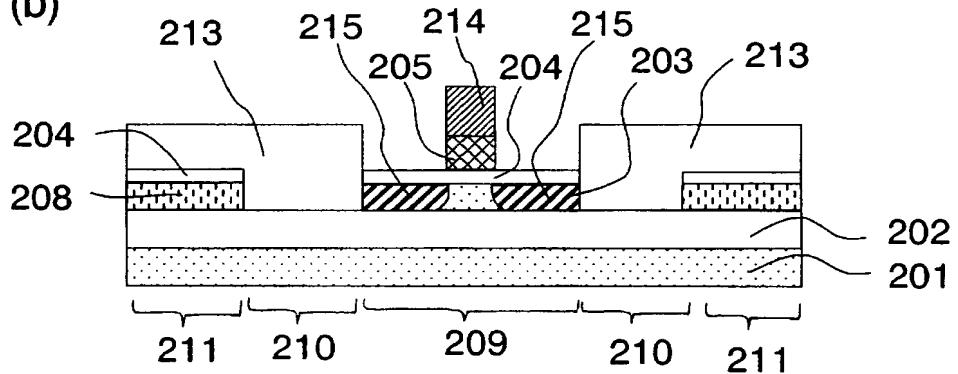


【図 7】

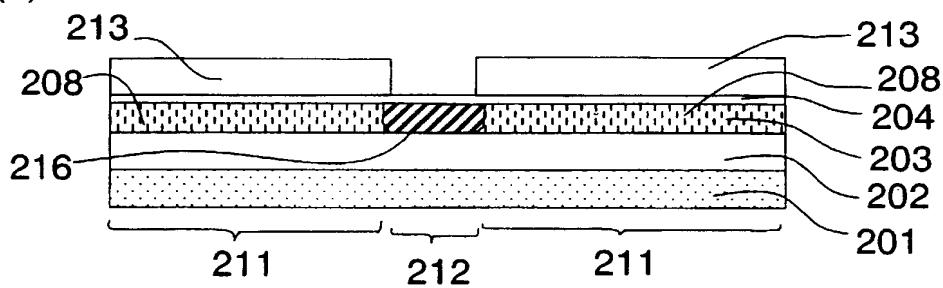
(a)



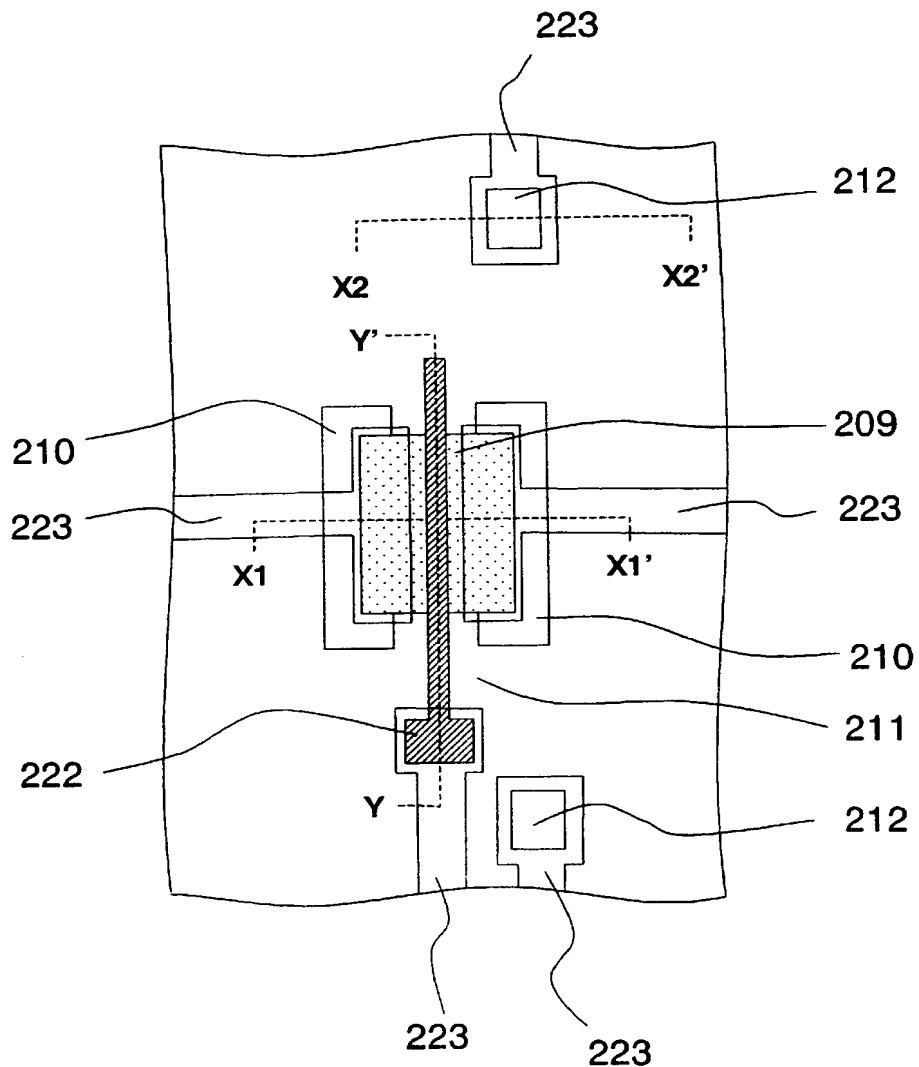
(b)



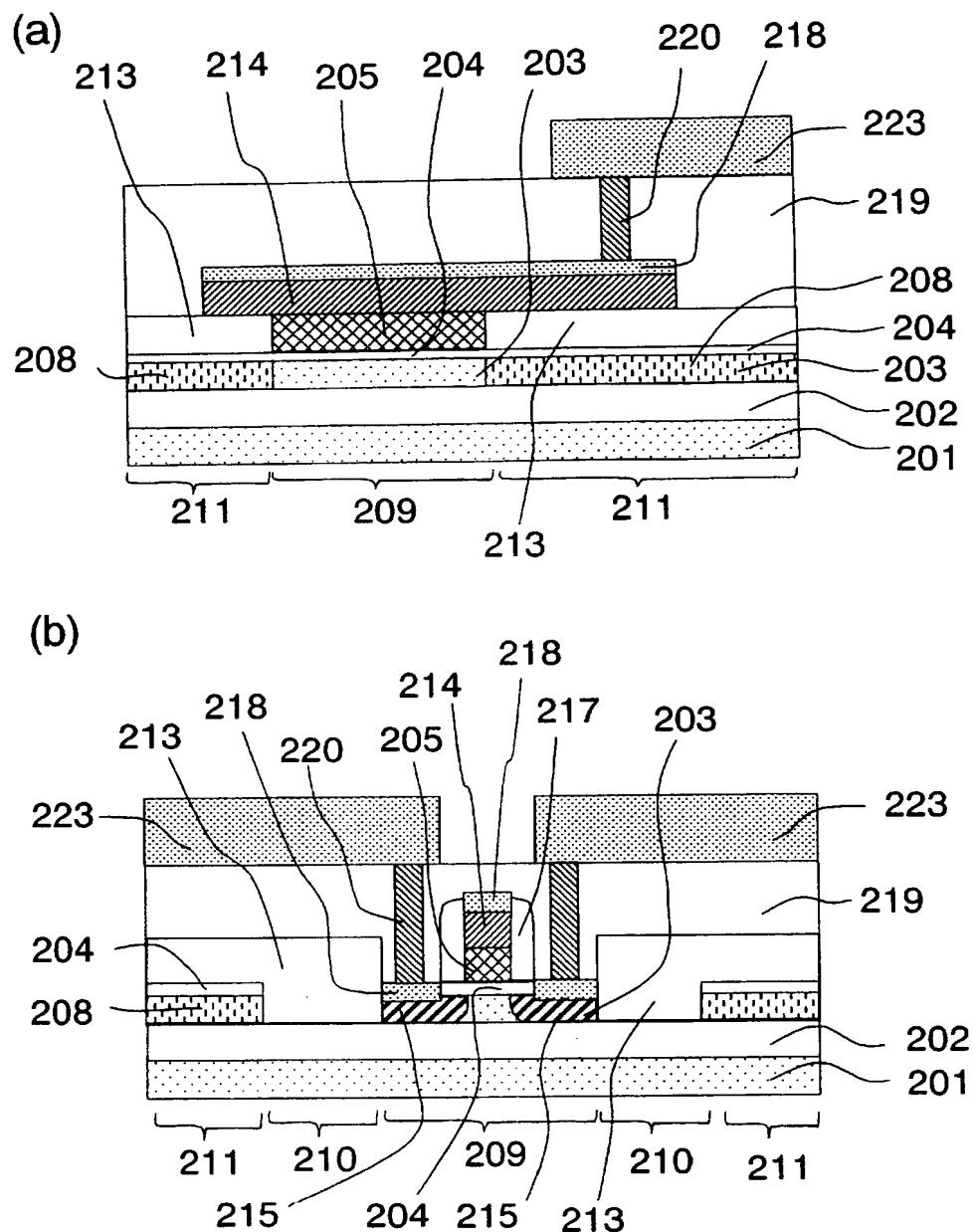
(c)



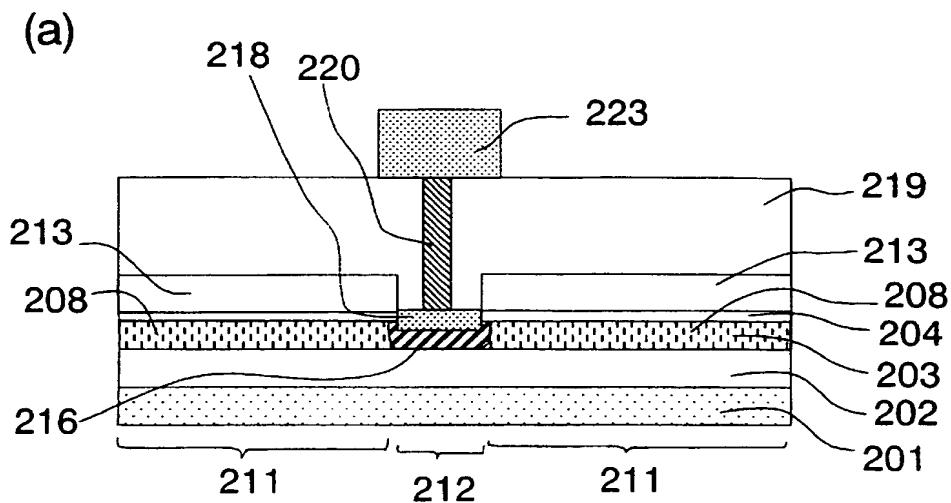
【図8】



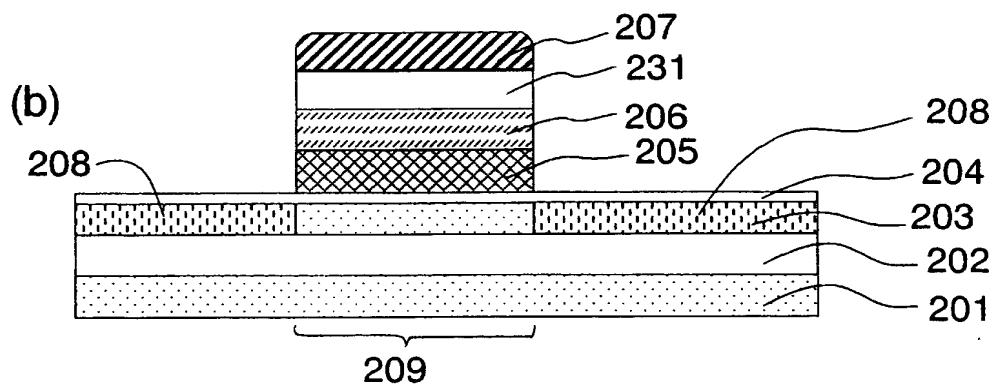
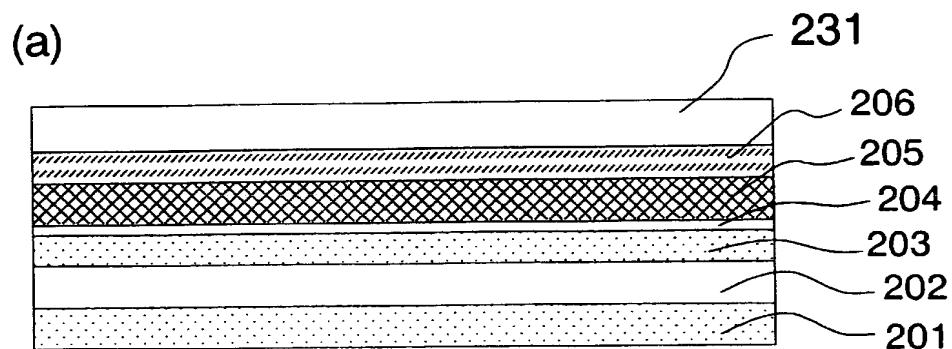
【図9】



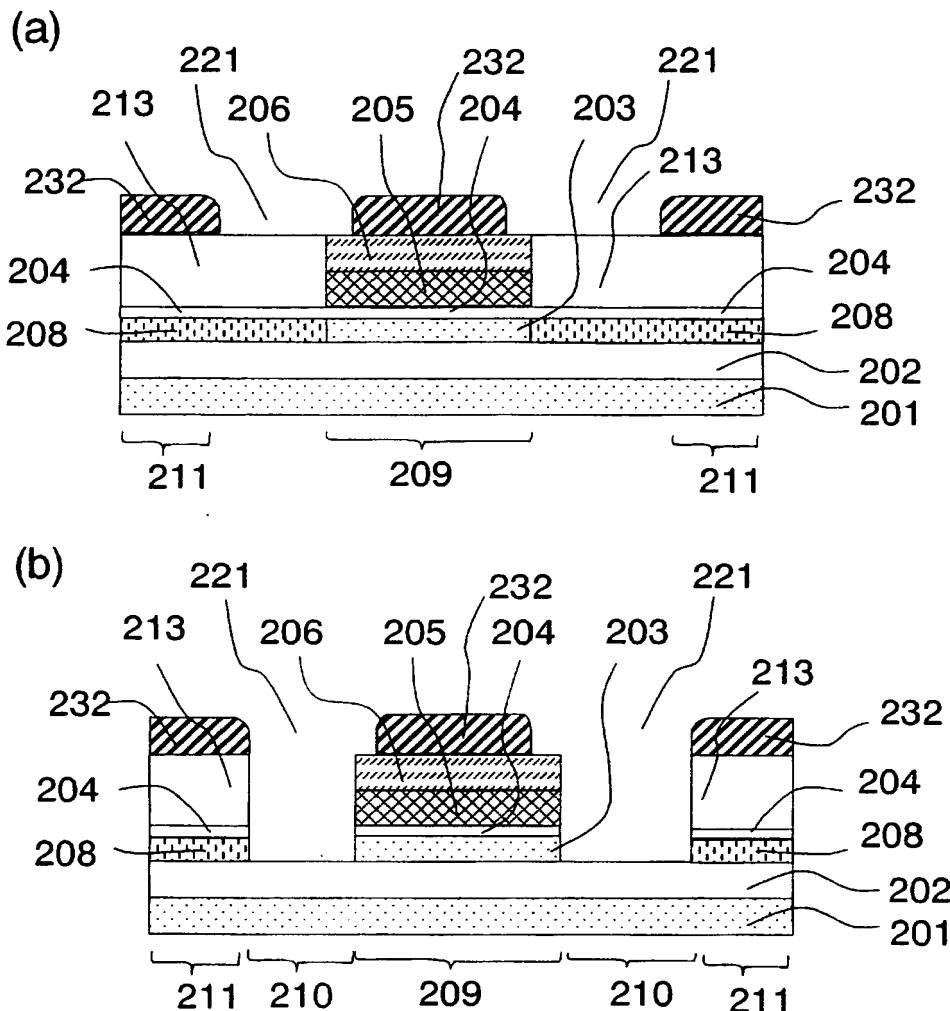
【図10】



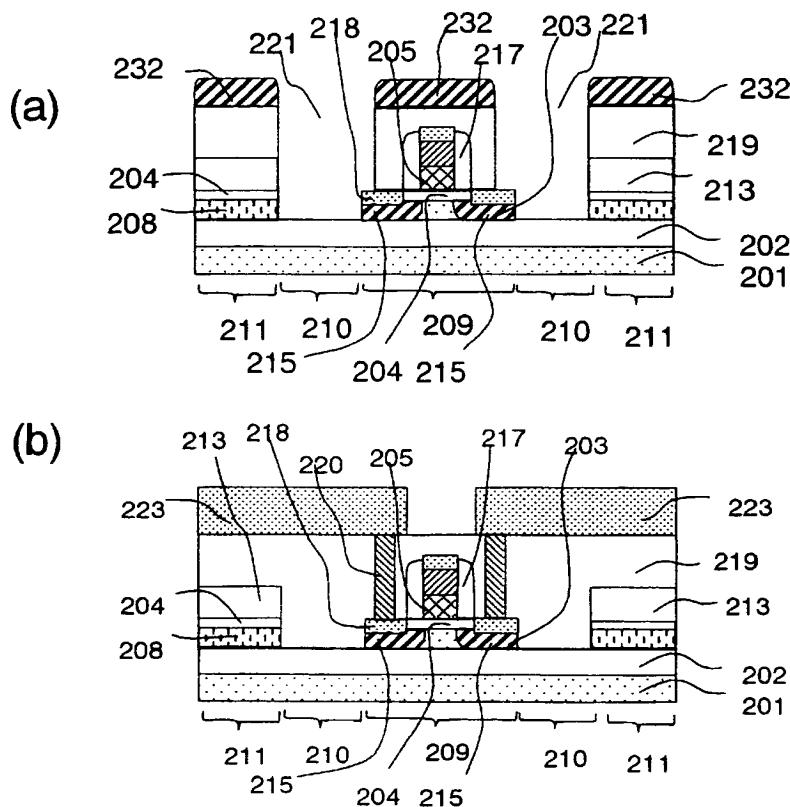
【図11】



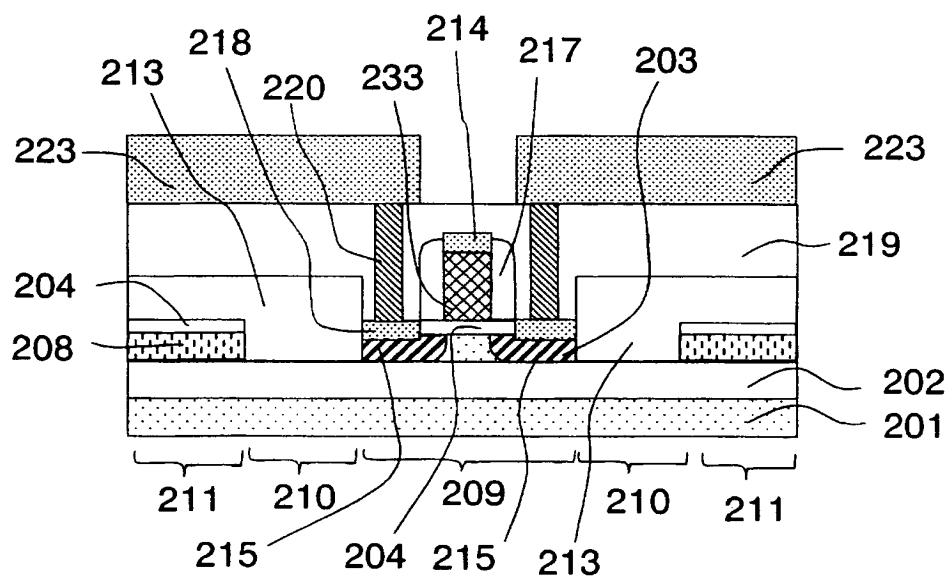
【図12】



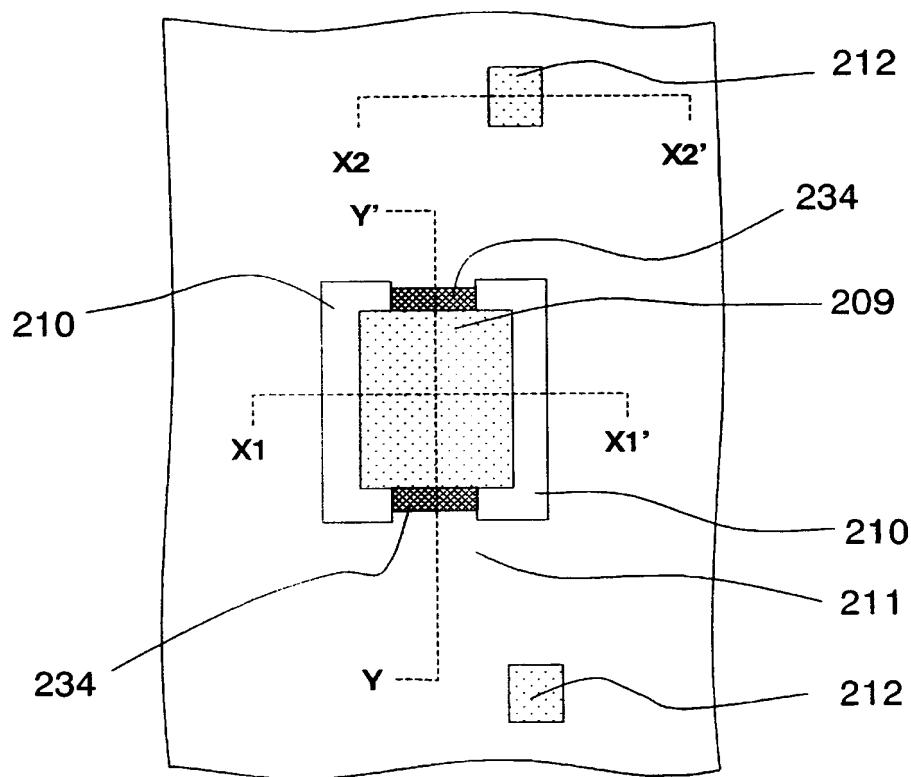
【図13】



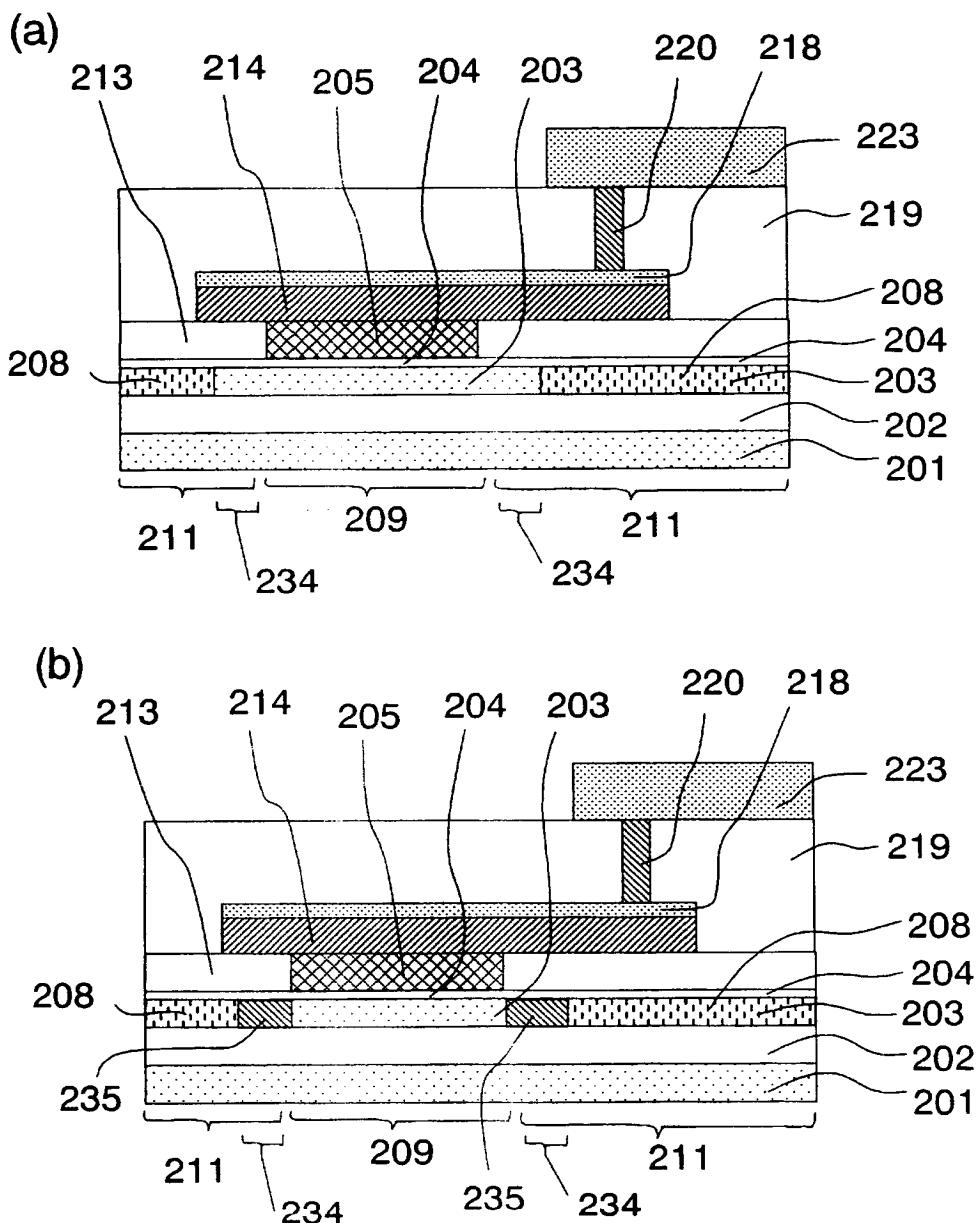
【図14】



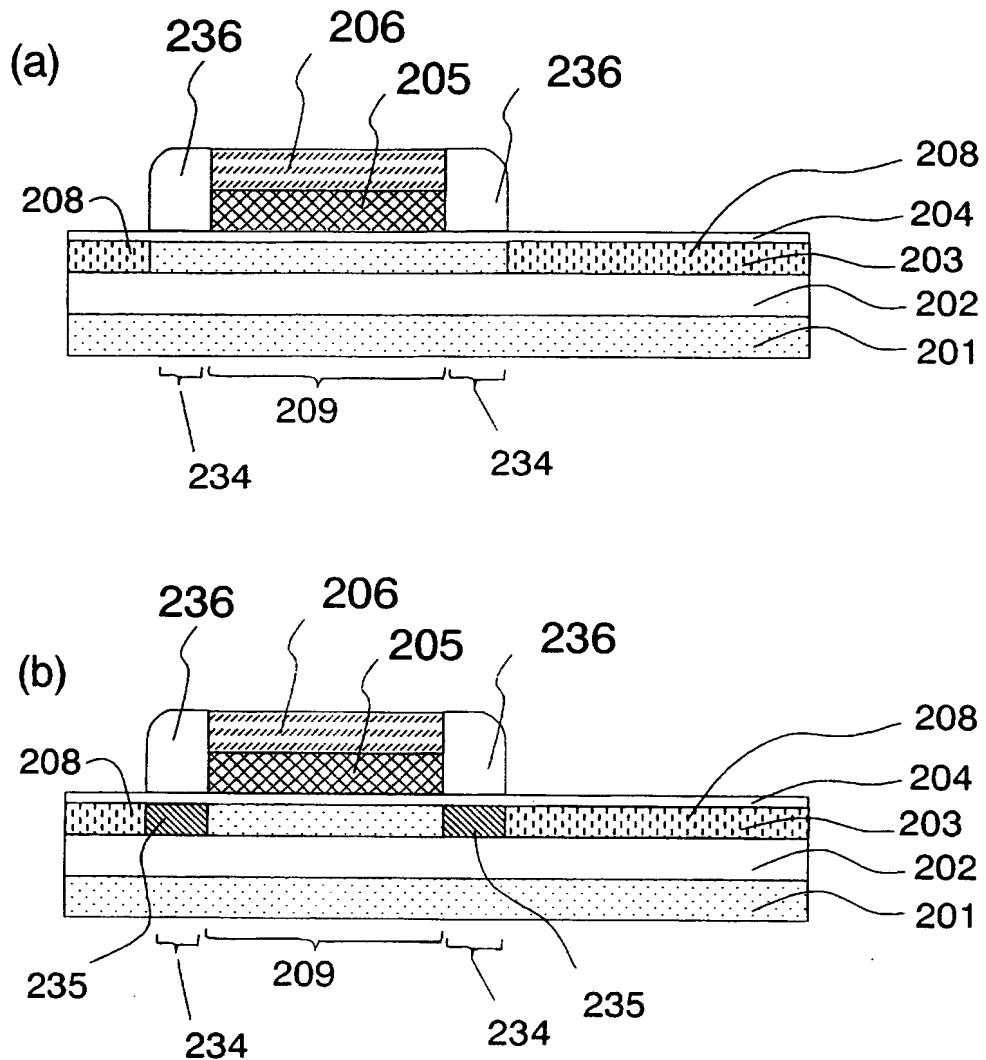
【図15】



【図16】

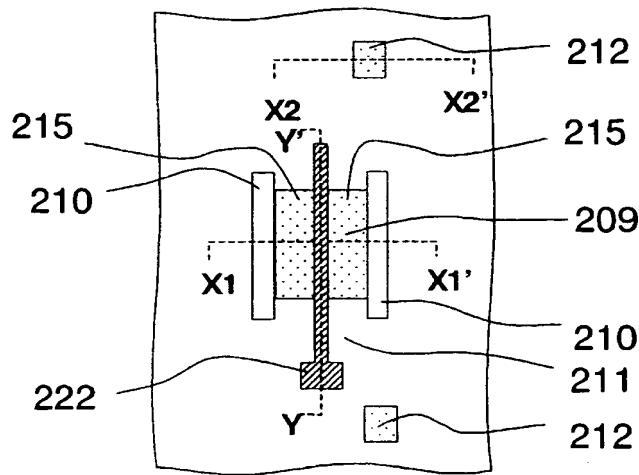


【図17】

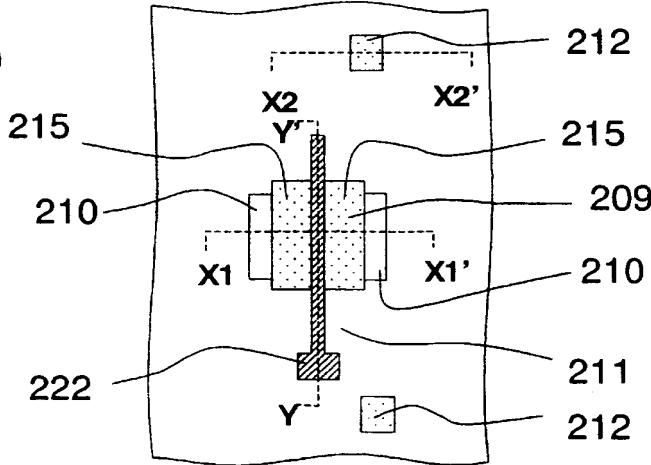


【図18】

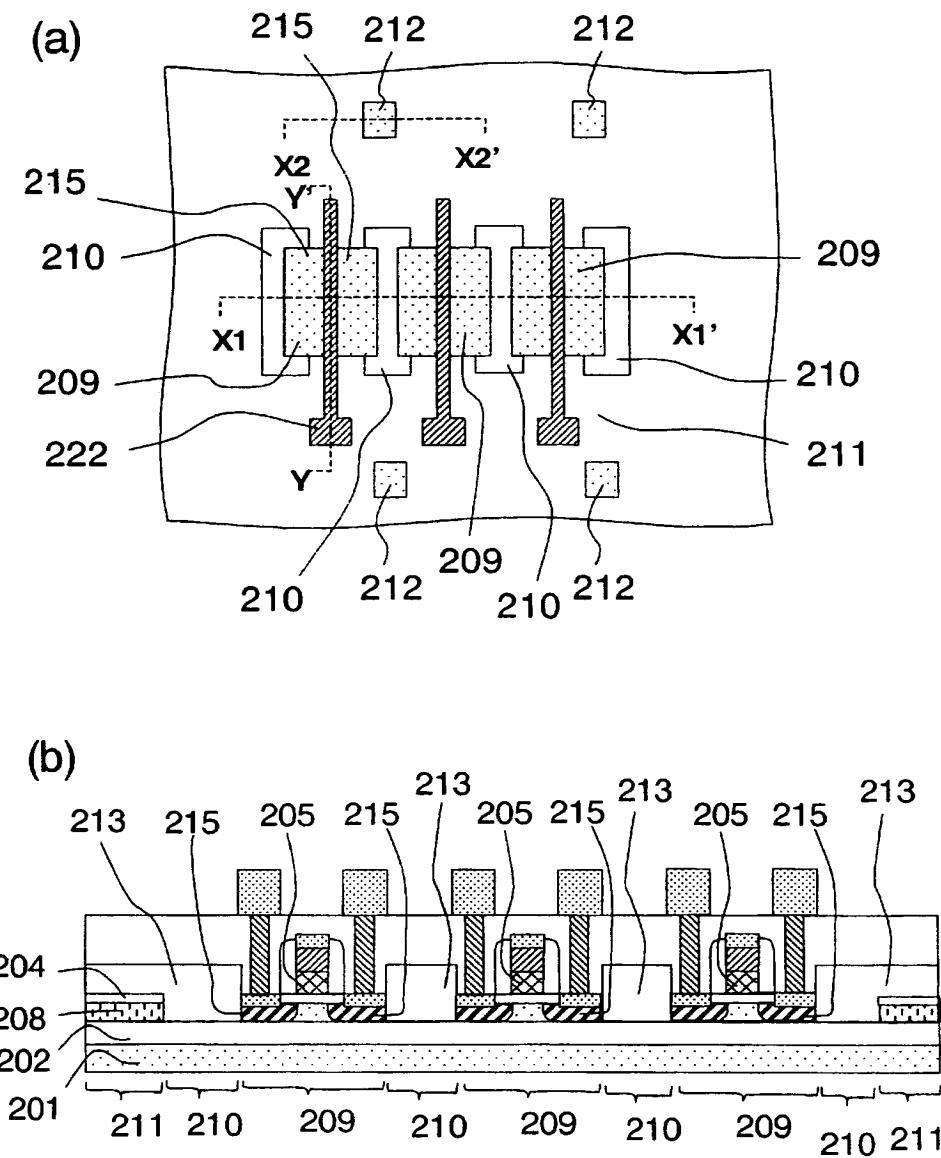
(a)



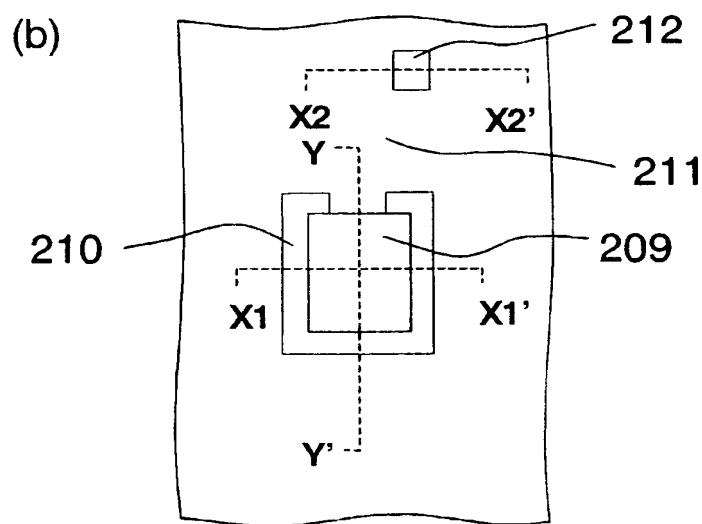
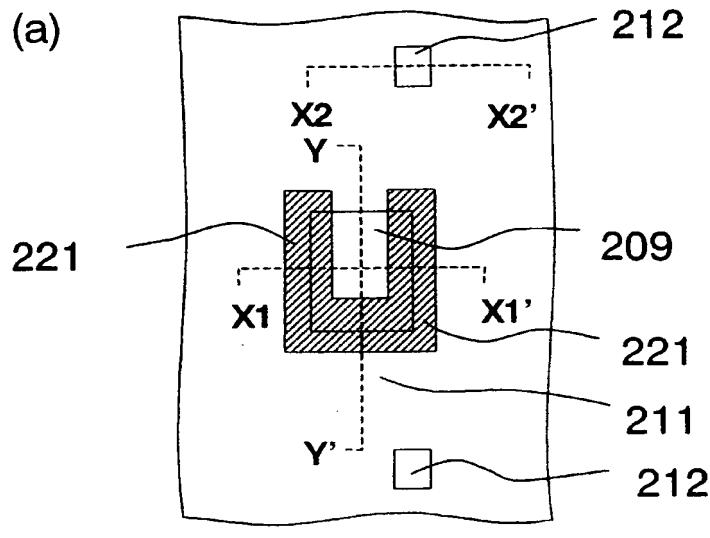
(b)



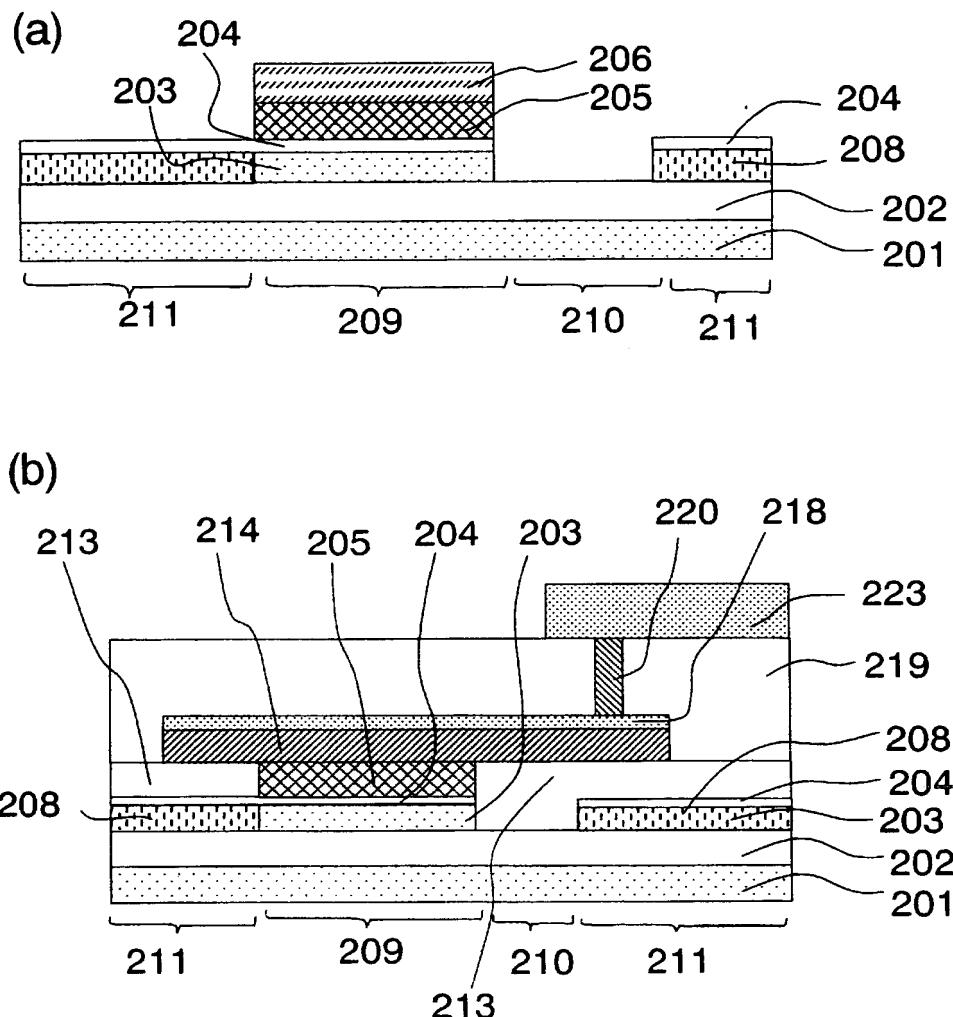
【図19】



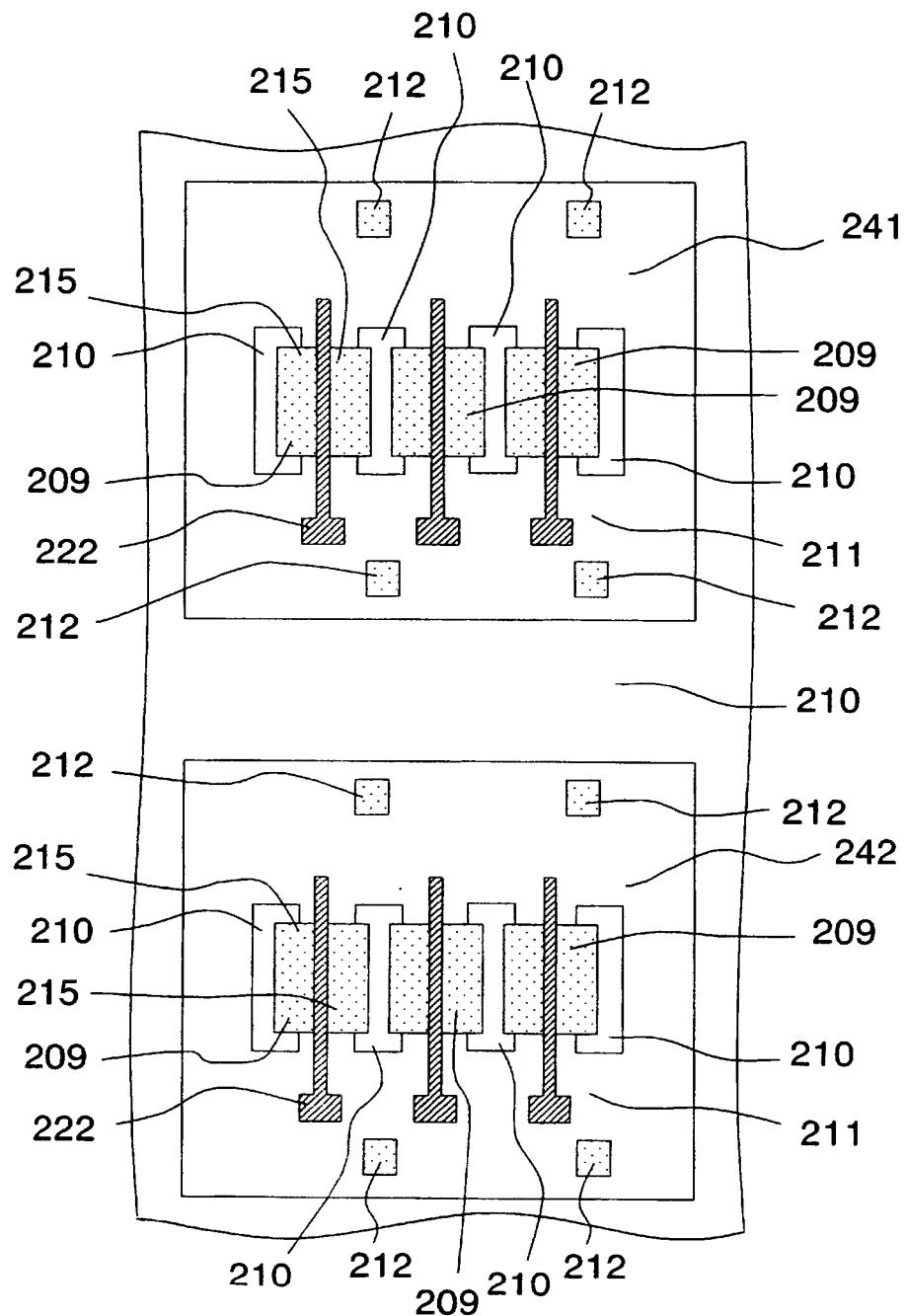
【図20】



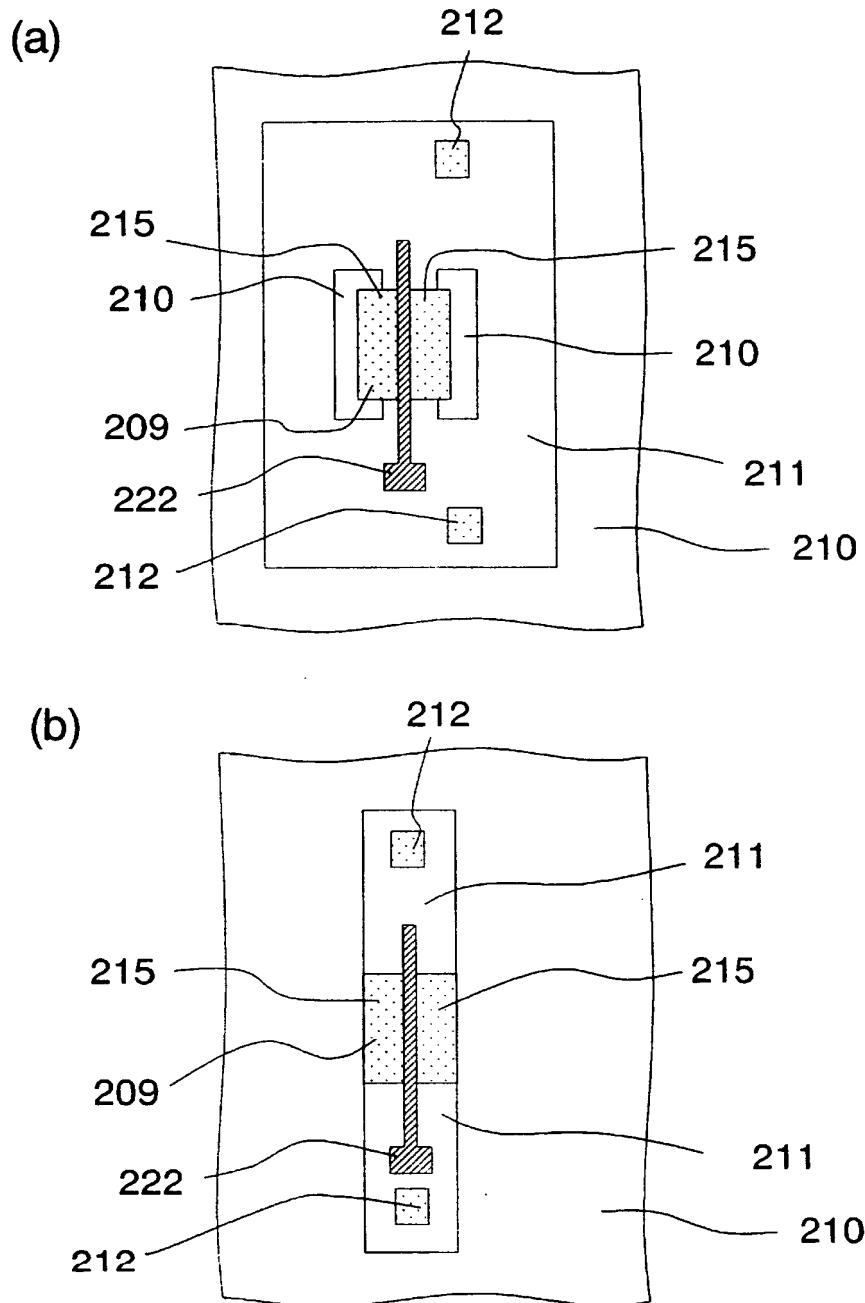
【図 21】



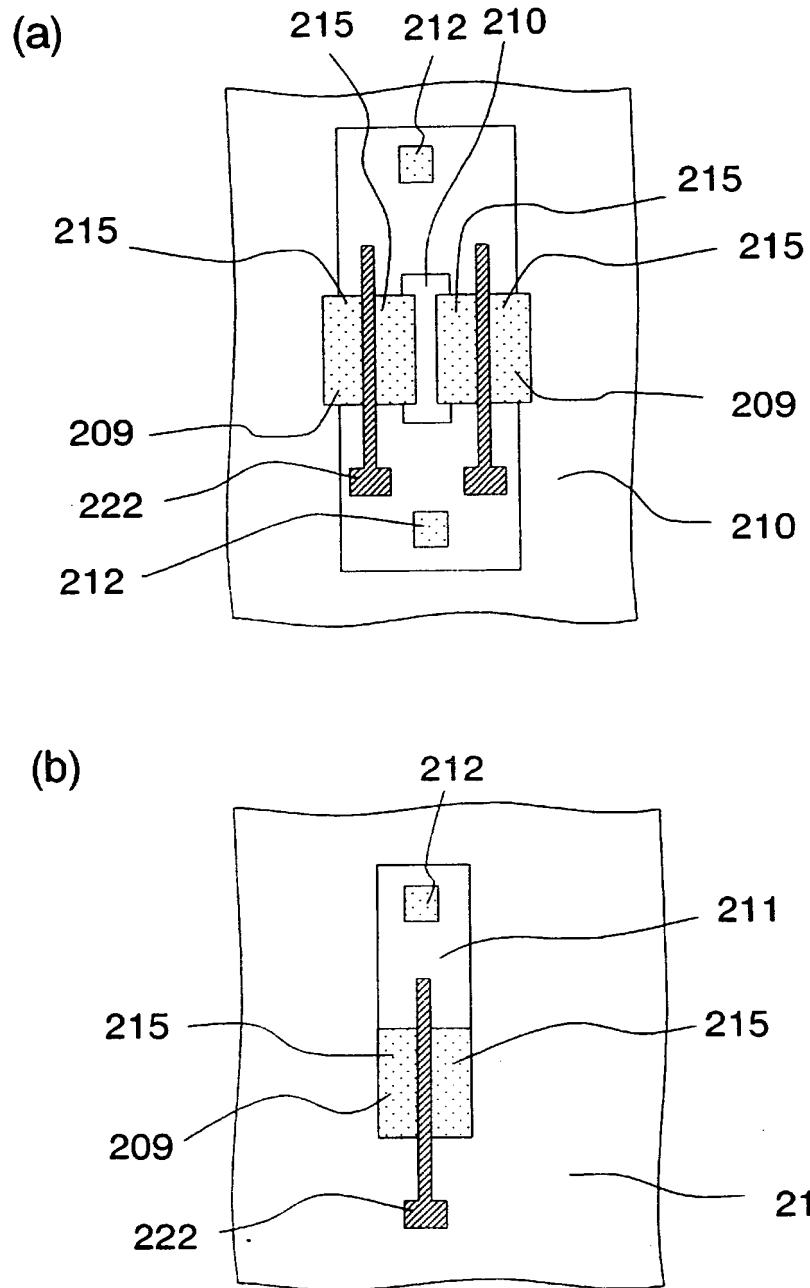
【図22】



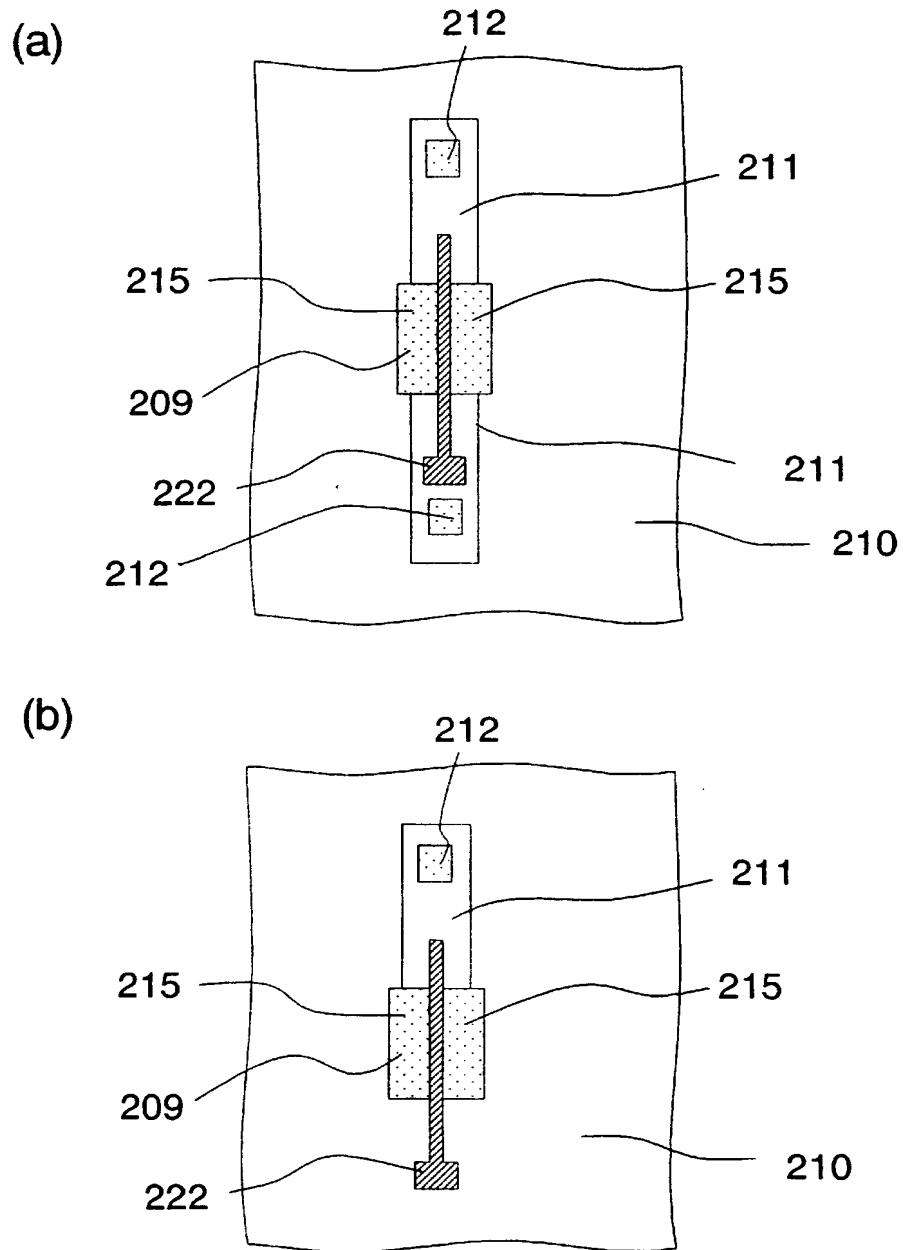
【図23】



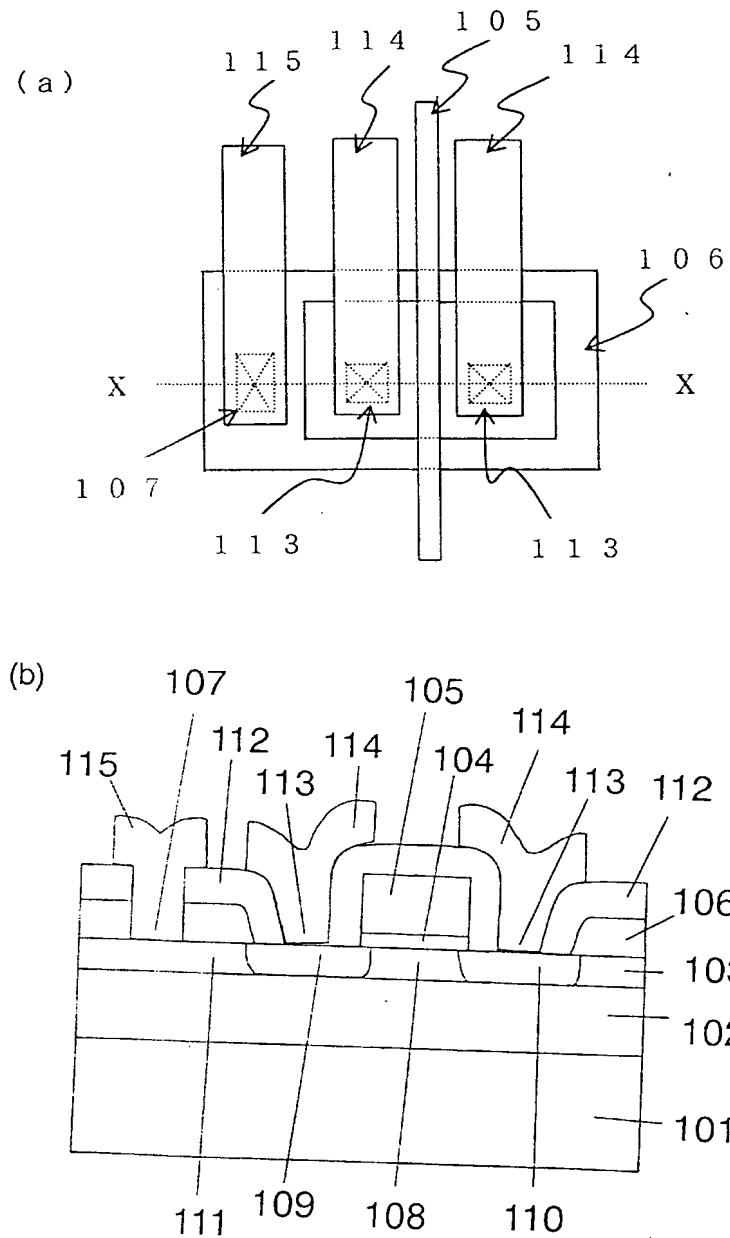
【図24】



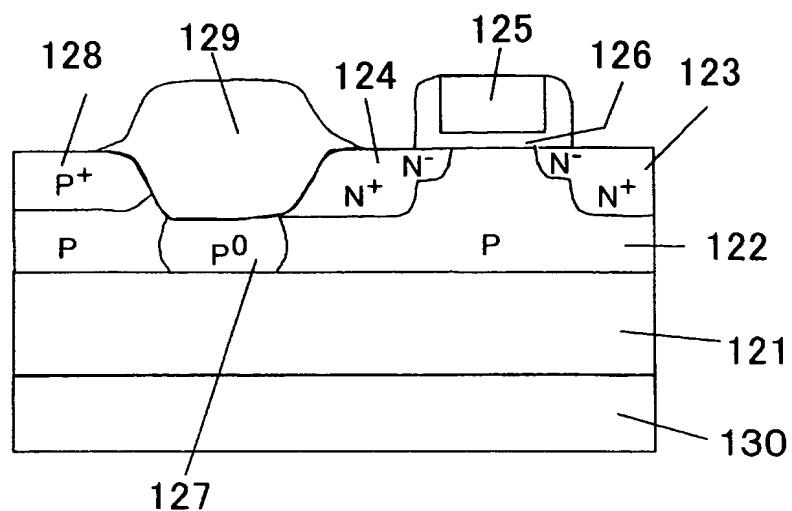
【図25】



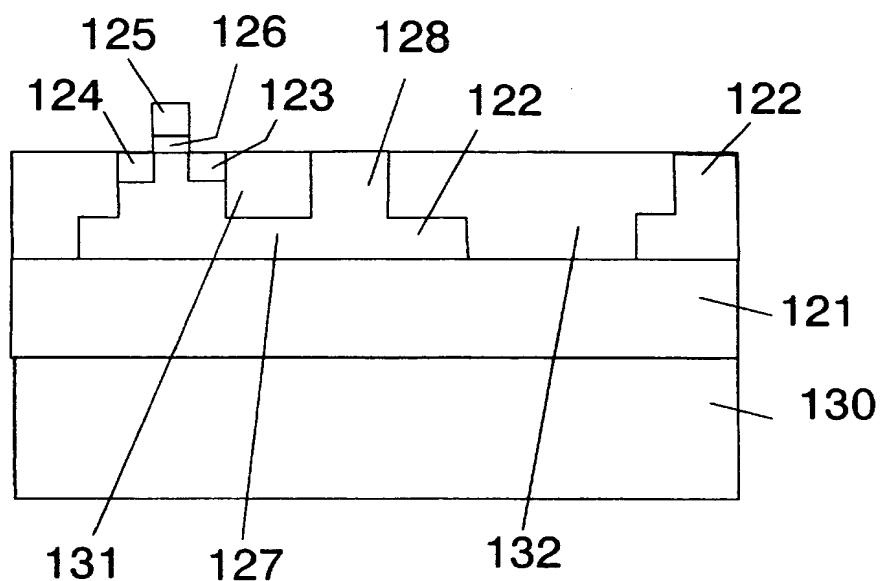
【図26】



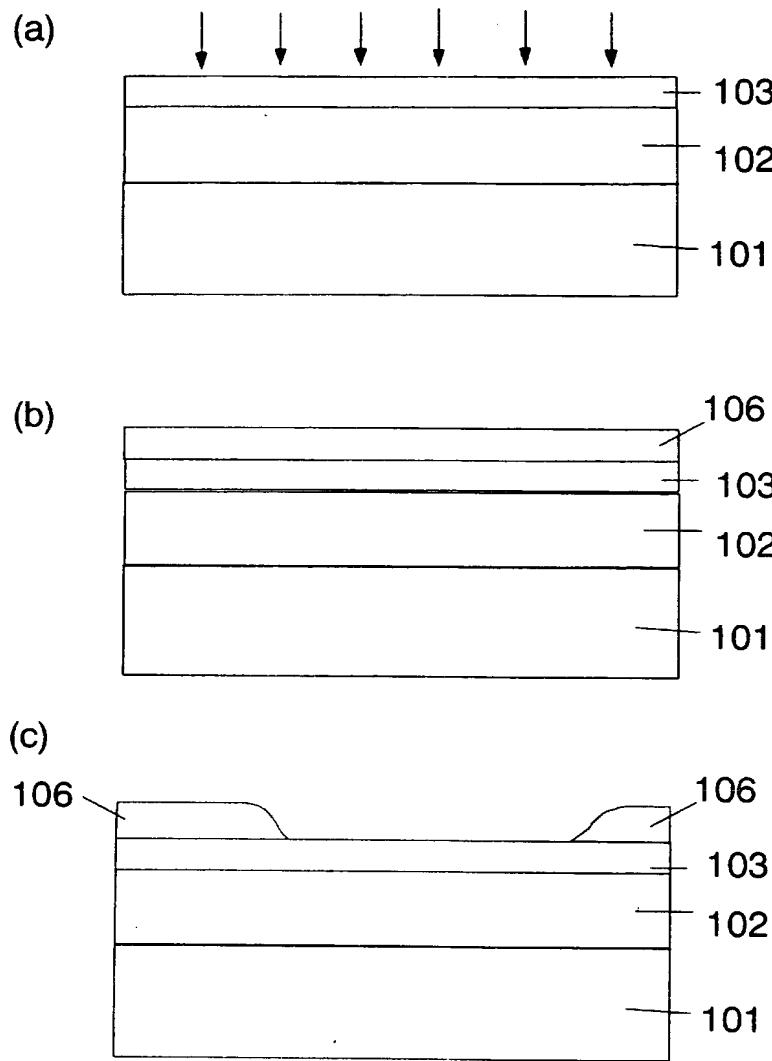
【図27】



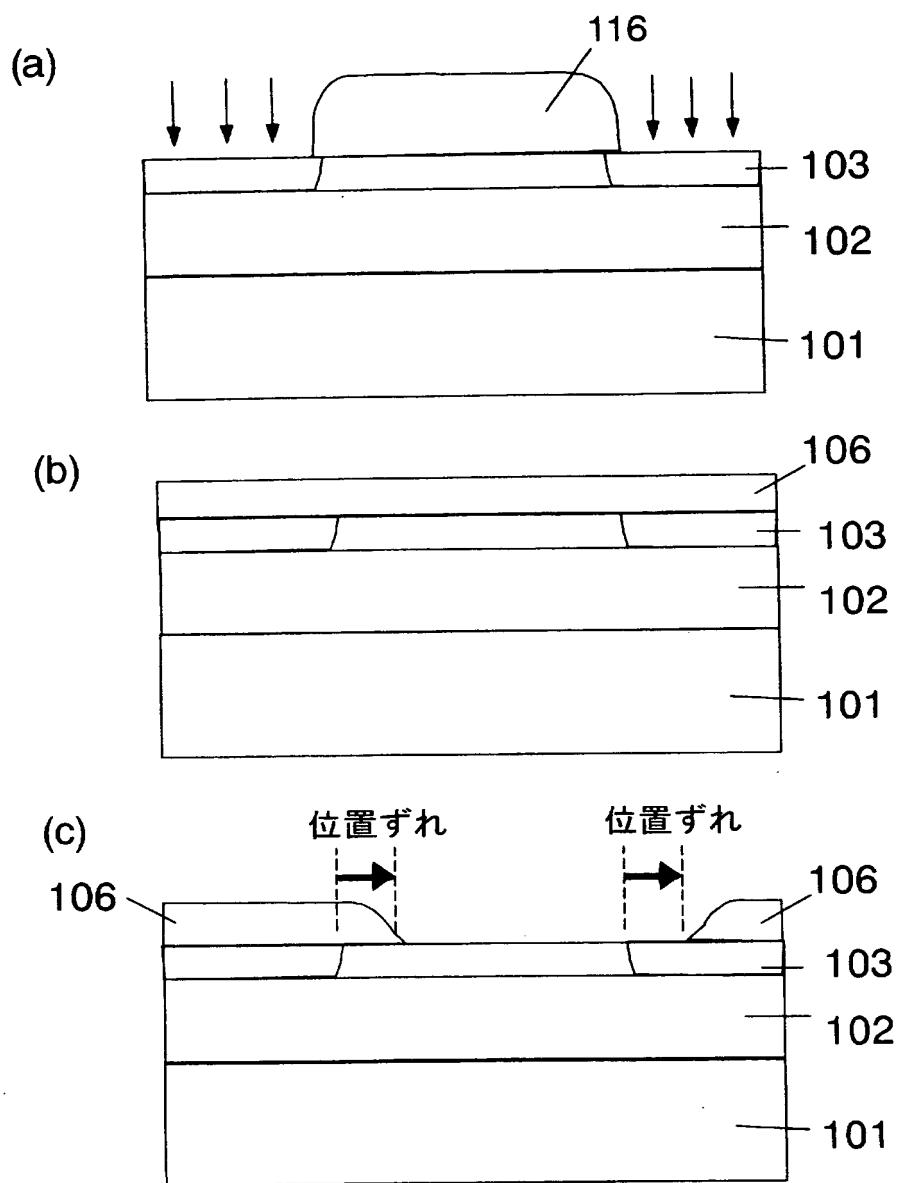
【図28】



【図29】



【図30】



【書類名】 要約書

【要約】

【課題】 薄膜S O I - M O S F E Tにおいて基板浮遊を抑制するボディコンタクト領域を設ける。また、ボディコンタクト構造を設けることに伴い発生するソース／ドレイン領域側面からのリーク電流、及びソース／ドレイン領域の寄生容量を低減する。

【解決手段】 素子領域209とボディコンタクト領域212の間に、半導体層上にフィールド絶縁膜を設けた部分分離領域を設ける。ソース／ドレイン領域のうち、ゲート電極の延長方向と平行な側面の少なくとも一部に接して、半導体層をすべて除いた完全分離領域210を設ける。

【選択図】 図8

特願2002-355416

出願人履歴情報

識別番号 [00004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社